



AiP8F3532

32KB Flash ROM 的触摸型

8 位微控制器

产品说明书

说明书发行履历:

版本	发行时间	新制/修订内容
2023-05-A1	2023-05	新制
2023-05-B1	2023-05	添加 Flash 参数表
2023-06-B2	2023-06	SYSCR 寄存器修订
2023-11-B3	2023-11	新增 LQFP32 引脚图
2024-01-B4	2024-01	新增 SOP20 引脚图
2024-03-B5	2024-03	修改 OSCCR 寄存器说明; 参数修改
2024-07-B6	2024-07	修改定时器描述
2024-10-B7	2024-10	新增 QFN32 引脚图
2025-07-B8	2025-07	新增 SSOP28 封装形式; 引脚图修订; 驱动参数修改; 焊接温度修改



目录

1	概述	8
1.1	说明	8
1.2	特性	8
1.3	订购信息	9
1.4	使用注意事项	10
2	功能框图及引脚说明	11
2.1	功能框图	11
2.2	引脚排列图	12
2.3	引脚说明	15
3	电气特性	16
3.1	极限参数	16
3.2	工作电压-频率	16
3.3	DC 特性	16
3.4	上电复位特性	17
3.5	低电压复位和低电压检测特性	17
3.6	内部高速 RC 振荡器特性	18
3.7	内部低速 RC 振荡器特性	18
3.8	ADC 特性	18
3.9	LXT 振荡特性	18
3.10	AC 特性	19
3.11	Flash 存储器参数	19
4	存储器	20
4.1	IAP 寄存器列表	20
4.2	IAP 寄存器说明	21
4.3	程序存储器	23
4.3.1	FLASH 页擦除	24
4.3.2	FLASH 编程	24
4.3.3	FLASH 读取	25
4.4	数据存储	25
4.4.1	通用寄存器	25
4.4.2	位寻址空间	26



4.4.3	堆栈.....	26
4.4.4	特殊功能寄存器.....	26
4.4.5	系统控制寄存器.....	27
4.4.6	扩展地址寄存器.....	29
5	时钟.....	30
5.1	特性.....	30
5.2	功能框图.....	30
5.3	寄存器列表.....	30
5.4	寄存器说明.....	31
6	复位.....	33
6.1	特性.....	33
6.2	功能框图.....	33
6.3	寄存器列表.....	33
6.4	寄存器说明.....	34
7	工作模式.....	35
7.1	特性.....	35
7.2	寄存器列表.....	35
7.3	寄存器说明.....	36
8	中断.....	40
8.1	特性.....	40
8.2	中断源和中断向量.....	40
8.3	中断优先级.....	41
8.4	寄存器列表.....	42
8.5	寄存器说明.....	42
9	通用端口 I/O.....	48
9.1	特性.....	48
9.2	寄存器列表.....	48
9.3	寄存器说明.....	49
10	CRC.....	60
10.1	特性.....	60
10.2	操作流程.....	60
10.3	寄存器列表.....	61



10.4	寄存器说明.....	61
11	通用定时器模块.....	62
11.1	特性.....	62
11.2	功能框图.....	62
11.3	寄存器列表.....	63
11.4	寄存器说明.....	63
11.5	功能说明.....	66
11.5.1	时钟选择.....	66
11.5.2	定时器/计数模式.....	66
11.5.3	捕捉模式.....	68
11.5.4	单脉冲 PWM 模式.....	70
11.5.5	多脉冲 PWM 时序图.....	71
12	高级定时器模块.....	72
12.1	特性.....	72
12.2	功能框图.....	72
12.3	寄存器列表.....	73
12.4	寄存器说明.....	73
12.5	功能说明.....	81
12.5.1	时钟选择.....	81
12.5.2	定时器/计数模式.....	81
12.5.3	独立模式单脉冲 PWM 模式.....	82
12.5.4	独立模式多脉冲 PWM 模式.....	83
12.5.5	互补输出及死区控制.....	83
13	WT.....	85
13.1	特性.....	85
13.2	功能框图.....	85
13.3	寄存器列表.....	86
13.4	寄存器说明.....	86
13.5	功能说明.....	87
13.5.1	低 14 位计数模式.....	87
13.5.2	高 8 位计数模式.....	88
14	WDT.....	89



14.1	特性.....	89
14.2	功能框图.....	89
14.3	寄存器列表.....	89
14.4	寄存器说明.....	90
14.5	功能说明.....	92
14.5.1	看门狗复位模式.....	92
14.5.2	看门狗定时器模式.....	93
15	UART.....	94
15.1	特性.....	94
15.2	功能框图.....	94
15.3	寄存器列表.....	95
15.4	寄存器说明.....	95
15.5	功能说明.....	99
15.5.1	数据格式.....	99
15.5.2	发送器.....	99
15.5.3	接收器.....	99
15.5.4	高精度波特率发生器.....	99
15.5.5	奇偶校验.....	100
15.5.6	多处理器通讯.....	101
15.5.7	标志位.....	101
15.5.8	中断.....	102
15.5.9	软件复位功能.....	102
16	SPI.....	103
16.1	特性.....	103
16.2	功能框图.....	103
16.3	寄存器列表.....	104
16.4	寄存器说明.....	104
16.5	功能说明.....	106
16.5.1	数据收发.....	106
16.5.2	NSS 引脚管理.....	107
16.5.3	SPI 标志位信号.....	108
16.5.4	SPI 中断.....	109



17	I2C	110
17.1	特性.....	110
17.2	功能框图.....	111
17.3	寄存器列表.....	111
17.4	寄存器说明.....	112
17.5	功能说明.....	116
17.5.1	工作方式.....	116
17.5.2	模式选择.....	116
17.5.3	通信过程.....	116
17.5.4	通信协议.....	116
17.5.5	时钟同步和总线仲裁.....	117
17.5.6	START/STOP 信号.....	118
17.5.7	时钟发生器.....	118
17.5.8	主机发送.....	119
17.5.9	主机接收.....	121
17.5.10	从机发送.....	122
17.5.11	从机接收.....	124
17.5.12	I2C 状态标志.....	125
17.5.13	I2C 错误标志.....	127
17.5.14	广播呼叫功能.....	128
17.5.15	SDA 数据在 SCL 下降沿后保持功能.....	128
17.5.16	中断.....	128
18	模数转换器 A/D.....	129
18.1	特性.....	129
18.2	功能框图.....	129
18.3	寄存器列表.....	130
18.4	寄存器说明.....	130
19	TOUCH.....	134
20	LCD	135
20.1	特性.....	135
20.2	功能框图.....	135
20.3	寄存器列表.....	135



20.4	寄存器说明.....	136
20.5	功能说明.....	137
21	低电压复位模块 LVR.....	138
21.1	特性.....	138
21.2	寄存器列表.....	138
21.3	寄存器说明.....	139
22	低电压检测模块 LVI.....	140
22.1	特性.....	140
22.2	寄存器列表.....	140
22.3	寄存器说明.....	140
23	封装尺寸与外形图.....	141
23.1	SOP32 外形图与封装尺寸.....	141
23.2	SOP28 外形图与封装尺寸.....	142
23.3	LQFP32 外形图与封装尺寸.....	143
23.4	SOP20 外形图与封装尺寸.....	144
23.5	QFN32 外形图与封装尺寸.....	145
23.6	SSOP28 外形图与封装尺寸.....	146
24	声明及注意事项.....	147
24.1	产品中有毒有害物质或元素的名称及含量.....	147
24.2	注意.....	147



1 概述

1.1 说明

AiP8F3532 是一款触摸型 8051 内核 MCU，内置 32KB FLASH ROM、1KB XRAM、256B IRAM，内部集成 Timer0/1/2/5、WT、WDT、CRC、UART1/2、SPI、I2C、LCD 和 TOUCH、12bit-ADC、LVD、LVR。

1.2 特性

内核：1T 8051

工作电压：1.8V~5.5V

工作模式：

- 普通模式 (RUN)
- 空闲模式 (IDLE)
- 停止模式 (STOP)
 - 支持 WT 唤醒、支持 UART 唤醒

存储器：

- RAM：256B IRAM，1KB XRAM
- 32K 字节 FLASH

时钟：

- 内部高速振荡：16MHz
- 内部低速振荡：32kHz
- 外部低速晶振：32.768kHz

低电压复位：

- 4 level 选择 (2.1V~3.8V)

低电压检测：

- 8 level 选择 (2.0V~4.0V)

中断：

- 19 个外部中断源
- 13 个内部中断源
- 中断优先级软件设置

GPIO：

- 最多支持 30 个多功能双向 I/O 口
- 支持独立弱上拉
- 8 个可复用 COM 口
- LED 驱动
 - 高电平驱动能力，4 档可选，4mA~17mA
 - 低电平驱动能力，2 档可选，32mA~65mA

定时器：

- 3 个 16 位通用定时器 T0/1/2
- 1 个 12 位高级定时器 T5
- Watch Dog Timer (WDT)
- Watch Timer (WT)

通信接口：

- 2 路 UART1/2
- 1 路 SPI
- 1 路 I2C

CRC 校验模块

显示驱动模块：

- LCD 驱动
 - 支持 8 COM
 - 支持 1/2 偏置

触摸模块：

- 无需片外触摸电容
- 最多支持 29 个按键通道

模拟外设：

- ADC
 - 12 位 A/D 转换器，最多支持 20 输入外部通道，1/4VDD 通道。
 - 2V/3V/4V/VDD 参考电压

工作温度：-40~+105°C

封装类型：

- SOP32/SOP28/SOP20
- LQFP32
- QFN32
- SSOP28



1.3 订购信息

管装：

产品料号	封装形式	打印标识	管装数	盒装管	盒装数	备注说明
AiP8F3532SA32.TB	SOP32	AiP8F3532	20 PCS/管	80 管/盒	1600 PCS/盒	塑封体尺寸： 21.0mm×7.5mm 引脚间距：1.27mm
AiP8F3532SA28.TB	SOP28	AiP8F3532	25 PCS/管	80 管/盒	2000 PCS/盒	塑封体尺寸： 17.9mm×7.5mm 引脚间距：1.27mm
AiP8F3532SA20.TB	SOP20	AiP8F3532	35 PCS/管	80 管/盒	2800 PCS/盒	塑封体尺寸： 12.8mm×7.5mm 引脚间距：1.27mm
AiP8F3532LA32.TB	LQFP32	AiP8F3532	250 PCS/板	10 板/盒	2500 PCS/盒	塑封体尺寸： 7.0mm×7.0mm 引脚间距：0.8mm
AiP8F3532QC32.TB	QFN32	AiP8F3532	490 PCS/板	10 板/盒	4900 PCS/盒	塑封体尺寸： 5.0mm×5.0mm 引脚间距：0.5mm
AiP8F3532VB28.TB	SSOP28	AiP8F3532	50 PCS/管	200 管/盒	10000 PCS/盒	塑封体尺寸： 9.9mm×3.9mm 引脚间距：0.635mm

编带：

产品料号	封装形式	打印标识	编带盘装数	编带盒装数	备注说明
AiP8F3532SA32.TR	SOP32	AiP8F3532	1250PCS/盘	1250PCS/盒	塑封体尺寸： 21.0mm×7.5mm 引脚间距：1.27mm
AiP8F3532SA28.TR	SOP28	AiP8F3532	1250PCS/盘	1250PCS/盒	塑封体尺寸： 17.9mm×7.5mm 引脚间距：1.27mm
AiP8F3532SA20.TR	SOP20	AiP8F3532	2000PCS/盘	2000PCS/盒	塑封体尺寸： 12.8mm×7.5mm 引脚间距：1.27mm
AiP8F3532QC32.TR	QFN32	AiP8F3532	4000PCS/盘	8000PCS/盒	塑封体尺寸： 5.0mm×5.0mm 引脚间距：0.5mm
AiP8F3532VB28.TR	SSOP28	AiP8F3532	4000PCS/盘	8000PCS/盒	塑封体尺寸： 9.9mm×3.9mm 引脚间距：0.635mm

注：订购信息与实物不符时，以实物为准。



1.4 使用注意事项

如使用以下功能，请参考《AiP8F3532 产品开发指南》

- 1、WDT 时钟源
- 2、I2C 主从通信
- 3、SPI 通信速率
- 4、掉电记忆应用

软件注意事项：

- 1、Flash 操作请参考说明书详细说明



2 功能框图及引脚说明

2.1 功能框图

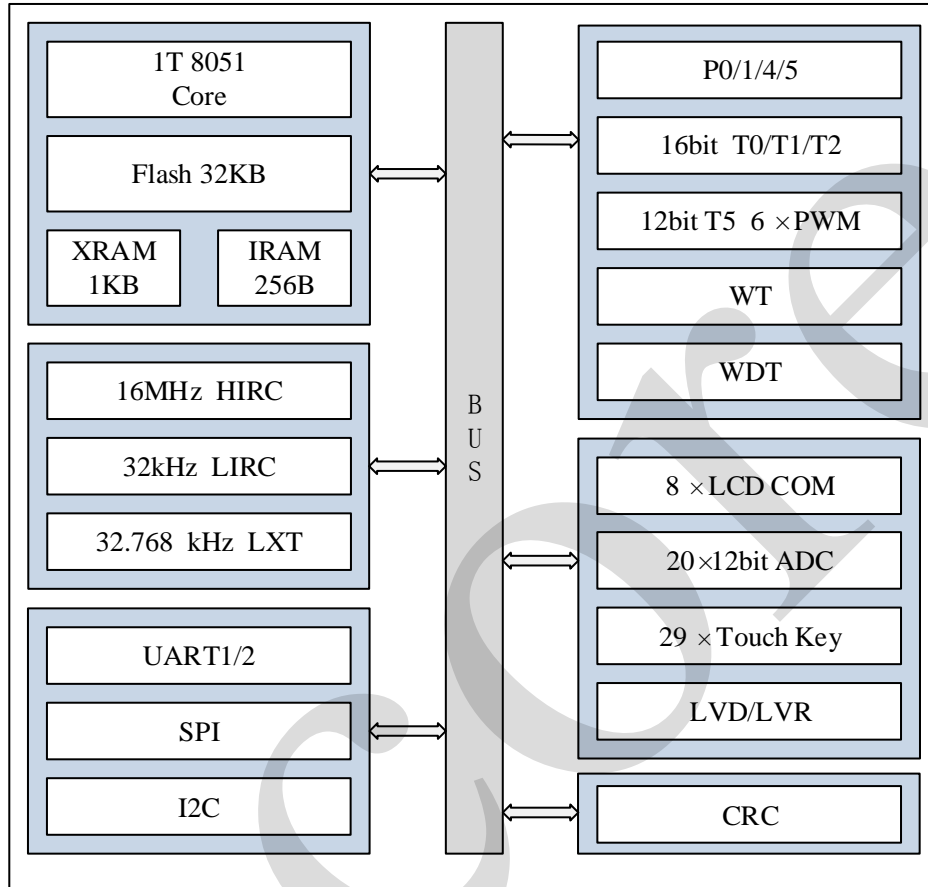


图 2.1 功能框图



2.2 引脚排列图

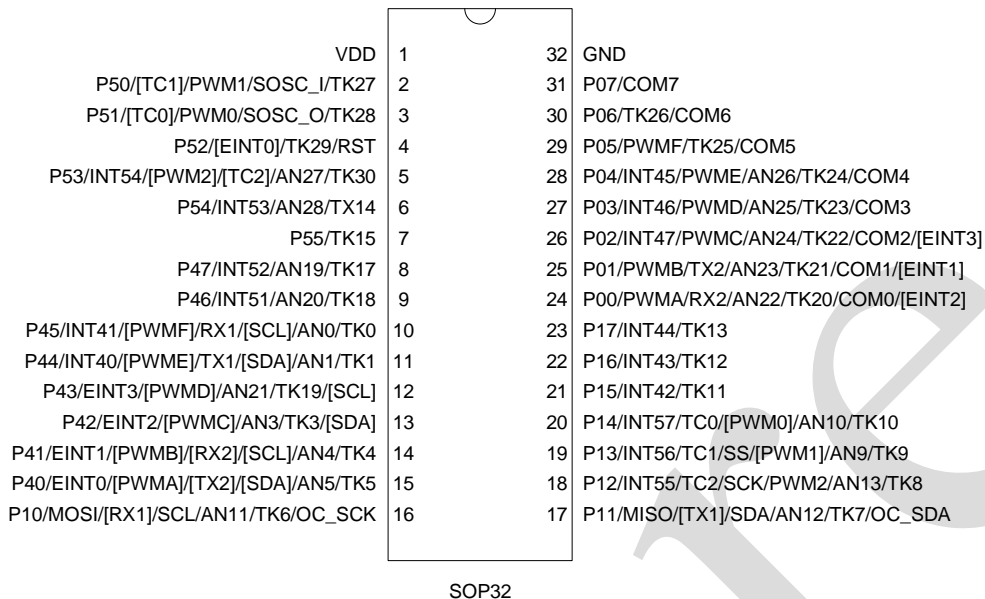


图 2.2.1 SOP32 引脚排列图

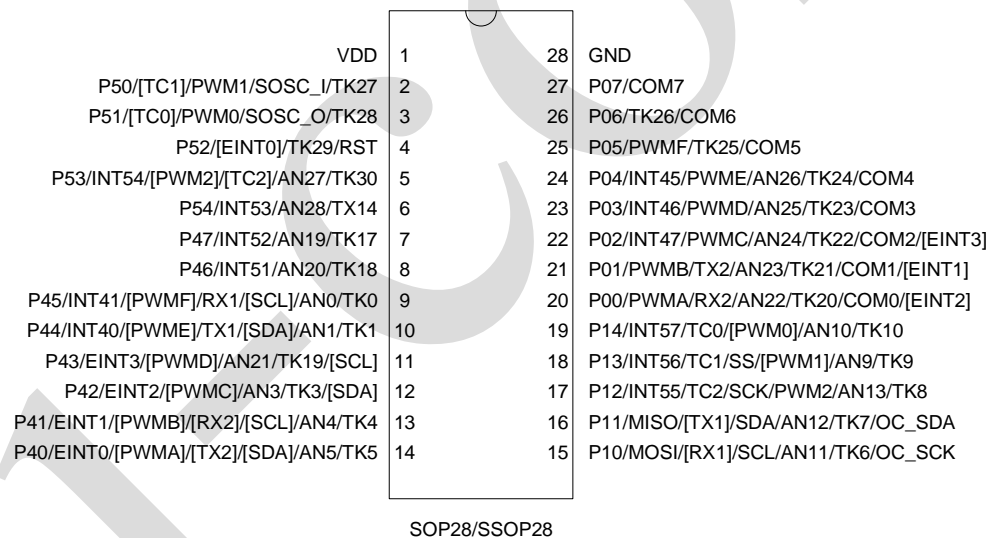


图 2.2.2 SOP28/SSOP28 引脚排列图



图 2.2.3 LQFP32 引脚排列图

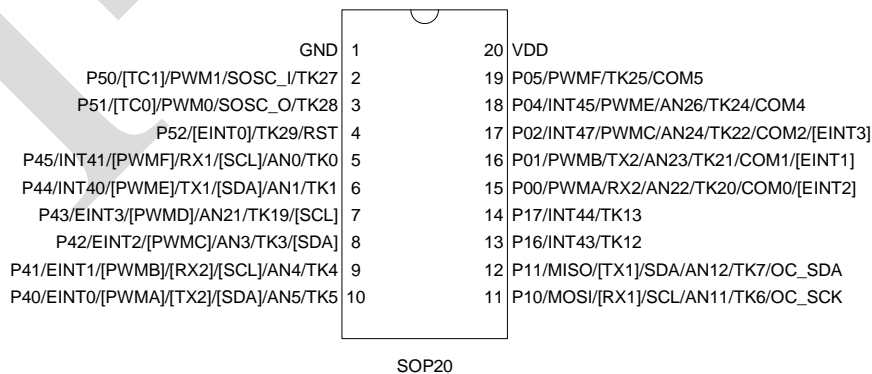


图 2.2.4 SOP20 引脚排列图



图 2.2.5 QFN32 引脚排列图



2.3 引脚说明

表 2.3.1 引脚说明

引脚名称	类型	说明
IO 引脚		
P00~P07	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
P10~P17	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
P40~P47	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
P50~P55	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
定时器引脚		
PWM0~PWM2	O	PWM0~2 输出
PWMA、PWMB、PWMC、PWMD、PWME、PWF	O	定时器 5PWM 输出
TC0~TC2	I/O	定时器 0~定时器 2 输入
通讯引脚		
TX1~TX2	O	UART1、UART2 数据输出引脚
RX1~RX2	I	UART1、UART2 数据输入引脚
SCL	I/O	I2C 时钟输入/输出引脚
SDA	I/O	I2C 数据通讯引脚
SCK	I/O	串行时钟输入/输出引脚
MISO	I/O	SPI 主设备输入/从设备输出引脚
MOSI	I/O	SPI 主设备输出/从设备输入引脚
SS	I/O	SPI 从动选择输入
ADC 引脚		
AN0~AN1 AN3~AN5 AN9~AN13 AN19~AN28	I	AD 输入引脚
TOUCH 引脚		
TK0~TK1 TK3~TK15 TK17~TK30	I	触摸按键
特殊引脚		
EINT0~EINT3	I	外部中断输入
INT40~INT47	I	外部中断输入
INT51~INT57	I	外部中断输入
COM0~COM7	O	LCD 共用信号输出
SOSC_I、SOSC_O	I/O	副时钟振荡器引脚
RST	I	外部复位引脚
VDD	P	电源脚
GND	G	地线
仿真、烧录接口		
OC_SDA (P11)	I/O	仿真、烧录接口



OC_CLK (P10)	I/O	仿真、烧录接口
--------------	-----	---------

3 电气特性

3.1 极限参数

表 3.1.1 极限参数

符号	参数名称		最小	最大	单位
VDD	供电电压		GND-0.3	+6.0	V
V _{IN}	输入电压		GND-0.3	VDD+0.3	V
V _{OUT}	输出电压		GND-0.3	VDD+0.3	V
I _{VDD}	VDD 最大电流		—	-150	mA
I _{VSS}	GND 最大电流		—	100	mA
T _A	工作温度		-40	+105	°C
T _{STG}	储存温度		-60	+150	°C
T _L	焊接温度	SOP20/SOP28/LQFP32/QFN32/SSOP28	260		°C
		SOP32	250		°C

注：1、这是一个额定值，如果对芯片的操作超过极限参数所规定的范围，将对芯片造成损坏。

3.2 工作电压-频率

表 3.2.1 推荐使用条件 (T_A=25°C, 除非另有说明)

符号	参数名称	条件		最小	典型	最大	单位
VDD	工作电压	f _{sys} =32.768kHz T _A =25°C	LXT	1.8	—	5.5	V
		f _{sys} =8MHz T _A =-40~+105°C	HIRC	1.8	—	5.5	
		f _{sys} =16MHz T _A =-40~+105°C		1.8	—	5.5	

3.3 DC 特性

表 3.3.1 DC 特性 (T_A=25°C, 除非另有说明)

符号	参数名称	测试条件		最小	典型	最大	单位
I _{DD1} (RUN)	工作电流	VDD=5V	f _{sys} =16MHz	—	2.5	5.0	mA
		VDD=3V		—	2.4	4.8	
		VDD=5V	f _{sys} =8MHz	—	1.6	3.2	
		VDD=3V		—	1.6	3.2	
I _{DD2} (RUN)	工作电流	VDD=5V	f _{sys} =32.768kHz	—	0.4	0.8	mA
		VDD=3V		—	0.4	0.8	
I _{DD3} (IDLE)	工作电流	VDD=5V	f _{sys} =16MHz	—	1	2	mA
		VDD=3V		—	1	2	
I _{DD4} (IDLE)	工作电流	VDD=5V	f _{sys} =32.768kHz	—	330	660	μA
		VDD=3V		—	320	640	
I _{STB2} (STOP)	工作电流	VDD=5V	WDT 关闭,	—	3	6	μA
		VDD=3V	LVR 关闭。	—	3	6	



表 835-11-B5

V_{IH}	输入高电平	IO		0.7VDD	—	VDD	V
V_{IL}	输入低电平	IO		0	—	0.3VDD	V
I_{OH1}	输出高电流 1	VDD=5V	$V_{OH}=0.9VDD$	—	4	—	mA
		VDD=3V		—	1.5	—	
I_{OH2}	输出高电流 2	VDD=5V	$V_{OH}=0.9VDD$	—	8	—	mA
		VDD=3V		—	3	—	
I_{OH3}	输出高电流 3	VDD=5V	$V_{OH}=0.9VDD$	—	11	—	mA
		VDD=3V		—	5	—	
I_{OH4}	输出高电流 4	VDD=5V	$V_{OH}=0.9VDD$	—	17	—	mA
		VDD=3V		—	8	—	
I_{OL1}	输出低电流 1	VDD=5V	$V_{OL}=0.1VDD$	—	32	—	mA
		VDD=3V		—	14	—	
I_{OL2}	输出低电流 2	VDD=5V	$V_{OL}=0.1VDD$	—	65	—	mA
		VDD=3V		—	30	—	
R_{PU}	上拉电阻	VDD=5V	所有输入管脚	—	30	—	k Ω
		VDD=3V		—	30	—	
I_{IH}	输入高漏电流	VDD=5V, 所有输入管脚		—	—	1	μ A
I_{IL}	输入低漏电流	VDD=5V, 所有输入管脚		-1	—	—	μ A

3.4 上电复位特性

表 3.4.1 上电复位特性 ($T_A=25^{\circ}\text{C}$, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
V_{POR}	复位电平	—	—	1.4	—	V
t_R	VDD 上升时间	—	0.05	—	0.5	V/ms

3.5 低电压复位和低电压检测特性

表 3.5.1 LVR&LVD 特性 ($T_A=25^{\circ}\text{C}$, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
V_{LVR}	低电压复位	—	—	2.10	—	V
			—	2.55	—	
			—	3.15	—	
			—	3.80	—	
V_{LVD}	低电压检测	—	—	2.00	—	V
			—	2.20	—	
			—	2.40	—	
			—	2.70	—	
			—	3.00	—	
			—	3.30	—	
			—	3.60	—	
ΔV	迟滞电压	—	—	0.1	0.2	V



3.6 内部高速 RC 振荡器特性

表 3.6.1 内部高速 RC 振荡器特性

符号	参数名称	测试条件	最小	典型	最大	单位
f_{HIRC}	内部高速振荡频率 (HIRC)	VDD=2.0~5.5V	—	16	—	MHz
—	频率-温度特性	VDD=5.0V, $T_A=0^{\circ}\text{C}\sim+50^{\circ}\text{C}$	-1.0	—	+0.8	%
—		VDD=5.0V, $T_A=-20^{\circ}\text{C}\sim+70^{\circ}\text{C}$	-1.5	—	+1.2	
—		VDD=5.0V, $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$	-3.0	—	+2.0	

3.7 内部低速 RC 振荡器特性

表 3.7.1 内部低速 RC 振荡器特性

符号	参数名称	测试条件	最小	典型	最大	单位
f_{LIRC}	内部低速振荡频率 (LIRC)	VDD=2.0~5.5V	—	32	—	kHz
—	误差	VDD=5.0V, $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$	-5	—	+5	%

3.8 ADC 特性

表 3.8.1 ADC 特性

符号	参数名称	测试条件	最小	典型	最大	单位
V_{AD}	ADC 工作电压	$V_{REF}=2\text{V}$	3.0	—	5.5	V
INL	积分非线性误差	$V_{REF}=V_{DD}$, $f_{adc}=4\text{M}$	—	± 1	± 4	LSB
DNL	微分非线性误差	$V_{REF}=V_{DD}$, $f_{adc}=4\text{M}$	—	± 1	± 2	
V_{AIN}	输入电压	—	0	—	V_{REF}	V
Z_{AIN}	输入阻抗	—	—	—	10	k Ω
T_{cycle}	ADC 时钟周期	—	125	—	—	ns
T_{AD}	ADC 转换周期	—	—	12	—	T_{cycle}
V_{REF1}	内部 2V 参考电压	VDD=5.0V, $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$	—	2.0	—	V
V_{REF2}	内部 3V 参考电压	VDD=5.0V, $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$	—	3.0	—	V
V_{REF3}	内部 4V 参考电压	VDD=5.0V, $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$	—	4.0	—	V

3.9 LXT 振荡特性

表 3.9.1 LXT 振荡特性

符号	参数名称	测试条件	最小	典型	最大	单位
f_{LXT}	外部低速振荡频率 (LXT)	VDD=5.0V	—	32.768	—	kHz
C_L	匹配电容	VDD=5.0V	—	12	—	pF



3.10 AC 特性

表 3.10.1 AC 特性

符号	参数名称	测试条件	最小	典型	最大	单位
trST	外部复位最小脉宽	VDD=5V	10	—	—	μs
t _{rWH} , t _{rWL}	外部中断最小脉宽	VDD=5V	10	—	—	μs

3.11 Flash 存储器参数

表 3.11.1 Flash 存储器特性

符号	参数名称	测试条件	最小	典型	最大	单位
T _{FER}	Flash 擦除时间	VDD=5V, Ta=25°C。	—	—	2	ms
T _{FWR}	Flash 写时间	VDD=5V, Ta=25°C。	—	—	200	us
EP	Flash 擦写次数	—	100K	—	—	E/W

注：“E/W”表示擦/写次数



4 存储器

AiP8F3532 有两个独立的存储器空间，程序存储器和数据存储器，下图所示是存储器组织结构图。

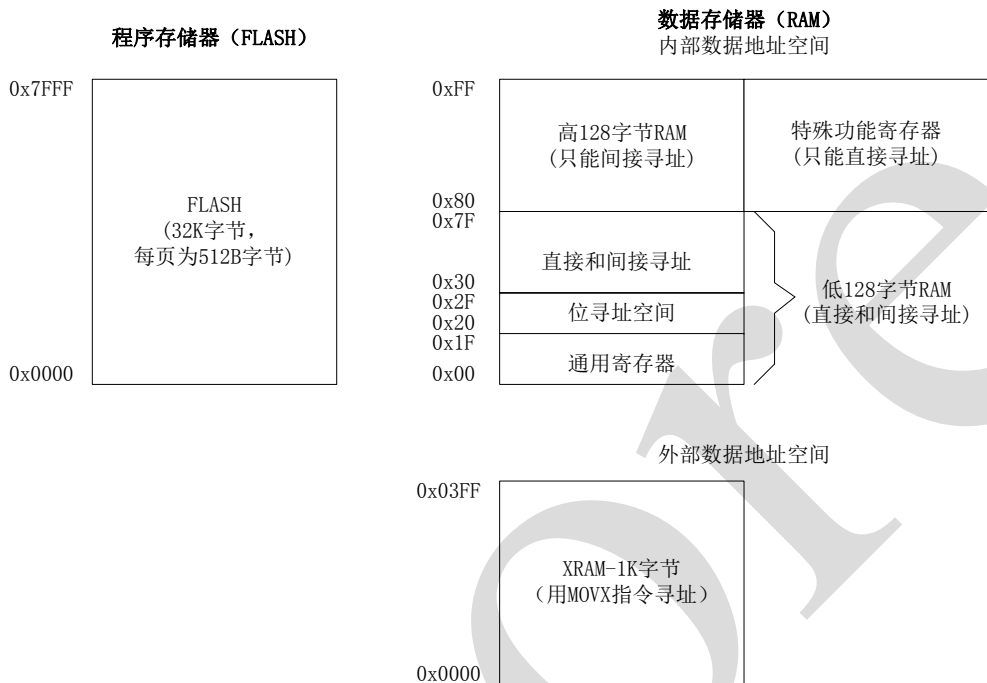


图 4.1 存储器组织结构图

4.1 IAP 寄存器列表

表 4.1.1 FLASH 寄存器列表

寄存器名称	地址	描述	初值
FSCR	FCH	Flash 控制寄存器	00H
FSDR	FDH	Flash 数据寄存器	00H
FSALR	FEH	Flash 地址低位寄存器	00H
FSAHR	FFH	Flash 地址高位寄存器	00H
FSCR1	DEH	Flash 页保护寄存器	00H



4.2 IAP 寄存器说明

表 4.2.1 FSCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	INS_ER_EH	INS_WR_EH
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5-2	保留	
1	INS_ER_EH	自编程页擦除使能 置“1”时将启动一个页擦除周期，擦除完成后将由硬件自动清零
0	INS_WR_EH	自编程单字节写使能 置“1”时将启动一个写周期，编程完成后将由硬件自动清零

注：位 1 和位 0 不能同时置“1”，读取位 1 和位 0 总是返回“0”。

表 4.2.2 FSDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	FSDR							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	FSDR	程序存储器数据位 bit 7~bit 0

表 4.2.3 FSALR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	FSALR							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	FSALR	Flash 程序存储器地址 bit 7~bit 0

表 4.2.4 FSAHR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	FSAHR							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	FSAHR	Flash 程序存储器地址 bit 15~bit 8



表 4.2.5 FSCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	FLASH_LEVEL					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述	
5-0	FLASH_LEVEL	自编程页保护设置	
		FLASH_LEVEL	
		被保护页	
		000000	无页保护
		000001	地址 0x0000~0x03FF 保护
		000010	地址 0x0000~0x05FF 保护
		000011	地址 0x0000~0x07FF 保护
		000100	地址 0x0000~0x09FF 保护
		000101	地址 0x0000~0x0BFF 保护
		000110	地址 0x0000~0x0DFF 保护
		000111	地址 0x0000~0x0FFF 保护
		001000	地址 0x0000~0x11FF 保护
		001001	地址 0x0000~0x13FF 保护
		001010	地址 0x0000~0x15FF 保护
		001011	地址 0x0000~0x17FF 保护
		001100	地址 0x0000~0x19FF 保护
		001101	地址 0x0000~0x1BFF 保护
		001110	地址 0x0000~0x1DFF 保护
		001111	地址 0x0000~0x1FFF 保护
		010000	地址 0x0000~0x21FF 保护
		010001	地址 0x0000~0x23FF 保护
		010010	地址 0x0000~0x25FF 保护
		010011	地址 0x0000~0x27FF 保护
		010100	地址 0x0000~0x29FF 保护
		010101	地址 0x0000~0x2BFF 保护
		010110	地址 0x0000~0x2DFF 保护
		010111	地址 0x0000~0x2FFF 保护
		011000	地址 0x0000~0x31FF 保护
		011001	地址 0x0000~0x33FF 保护
		011010	地址 0x0000~0x35FF 保护
		011011	地址 0x0000~0x37FF 保护
		011100	地址 0x0000~0x39FF 保护
		011101	地址 0x0000~0x3BFF 保护
011110	地址 0x0000~0x3DFF 保护		
011111	地址 0x0000~0x3FFF 保护		
100000	地址 0x0000~0x41FF 保护		



表 835-11-B5

	100001	地址 0x0000~0x43FF 保护
	100010	地址 0x0000~0x45FF 保护
	100011	地址 0x0000~0x47FF 保护
	100100	地址 0x0000~0x49FF 保护
	100101	地址 0x0000~0x4BFF 保护
	100110	地址 0x0000~0x4DFF 保护
	100111	地址 0x0000~0x4FFF 保护
	101000	地址 0x0000~0x51FF 保护
	101001	地址 0x0000~0x53FF 保护
	101010	地址 0x0000~0x55FF 保护
	101011	地址 0x0000~0x57FF 保护
	101100	地址 0x0000~0x59FF 保护
	101101	地址 0x0000~0x5BFF 保护
	101110	地址 0x0000~0x5DFF 保护
	101111	地址 0x0000~0x5FFF 保护
	110000	地址 0x0000~0x61FF 保护
	110001	地址 0x0000~0x63FF 保护
	110010	地址 0x0000~0x65FF 保护
	110011	地址 0x0000~0x67FF 保护
	110100	地址 0x0000~0x69FF 保护
	110101	地址 0x0000~0x6BFF 保护
	110110	地址 0x0000~0x6DFF 保护
	110111	地址 0x0000~0x6FFF 保护
	111000	地址 0x0000~0x71FF 保护
	111001	地址 0x0000~0x73FF 保护
	111010	地址 0x0000~0x75FF 保护
	111011	地址 0x0000~0x77FF 保护
	111100	地址 0x0000~0x79FF 保护
	111101	地址 0x0000~0x7BFF 保护
	111110	地址 0x0000~0x7DFF 保护
	111111	地址 0x0000~0x7FFF 保护

4.3 程序存储器

程序存储器包含 32KB FLASH ROM，用来存放用户程序，以 512B 为 1 个扇区，可以在系统编程。一个 FLASH 位一旦被清零，必须经过擦除才能再回到“1”状态。在进行重新编程之前，一般要将数据字节擦除（置为 0xFF）。为了保证操作正确，写和擦除操作由硬件自动完成，不需要进行数据查询来判断写/擦除操作何时结束。在 FLASH 写/擦除操作期间，程序暂停执行。



4.3.1 FLASH 页擦除

写 FLASH 存储器可以清除数据位，但不能使数据位置“1”，只有擦除操作能将 FLASH 中的数据位置“1”。所以在写入新值之前，必须先擦除待编程的地址。FLASH 存储器共 64 页（每页 512B 字节），一次擦除操作将擦除一页（将页内的所有字节置为 0xFF）。

页擦除的步骤如下：

1. 配置 FLASH 写入地址寄存器 FSAHR/FSALR（待擦除的页任意一个地址均可）
2. 配置 FLASH 写入数据寄存器 FSDR（写入数据建议配置为 0x00）
3. 对 KEYCODE 寄存器依次写入 0x3C、0x02、0xA1 关闭 FSCR 寄存器写保护
4. 使能擦除操作，NOP，NOP，NOP
5. 对 KEYCODE 寄存器写入 0x00 打开 FSCR 寄存器写保护

例如擦除 0AA0H 地址对应的扇区，则可执行下述程序：

```
MOV        FSAHR, #0AH
MOV        FSALR, #0A0H
MOV        FSDR, #00H
MOV        KEYCODE, #3CH
MOV        KEYCODE, #02H
MOV        KEYCODE, #0A1H
MOV        FSCR, #02H
NOP
NOP
NOP
MOV        KEYCODE, #00H
```

4.3.2 FLASH 编程

FLASH 存储器一次只能写入一个字节。

用软件对 FLASH 字节编程的步骤如下：

1. 配置 FLASH 写入地址寄存器 FSAHR/FSALR（目标地址）
2. 配置 FLASH 写入数据寄存器 FSDR（目标地址对应的数据）
3. 对 KEYCODE 寄存器依次写入 0x3C、0x02、0xA1 关闭 FSCR 寄存器写保护
4. 使能写操作，NOP，NOP，NOP
5. 对 KEYCODE 寄存器写入 0x00 打开 FSCR 寄存器写保护

例如要向 0AA0H 地址写入一个数据 0x55，则可执行下述程序：

```
MOV        FSAHR, #0AH
MOV        FSALR, #0A0H
MOV        FSDR, #55H
```



MOV	KEYCODE, #3CH
MOV	KEYCODE, #02H
MOV	KEYCODE, #0A1H
MOV	FSCR, #01H
NOP	
NOP	
NOP	
MOV	KEYCODE, #00H

4.3.3 FLASH 读取

FLASH 存储器可以一次读一个字节，读操作通过 MOVC 指令实现。

例如读取 0x0300H 地址的数据，则可执行下述程序：

```
#include <absacc.h>

KEYCODE = 0x3C;
KEYCODE = 0x02;
KEYCODE = 0xA1;

dat = CBYTE[0x0300];
KEYCODE = 0x00;
```

4.4 数据存储器

AiP8F3532 的数据存储器空间中有 256B 的内部 RAM，位于 0x00 到 0xFF 的地址空间。

数据存储器中的低 128B 为通用寄存器，可以用直接或间接寻址方式访问。其中 0x00 到 0x1F 为 4 个通用寄存器区，每个区有 8 个 8 位寄存器；地址 0x20 到 0x2F，既可以按字节寻址又可以作为 128 个位地址用直接位寻址方式访问。

数据存储器中的高 128B 只能用间接寻址访问，该存储区与特殊功能寄存器（SFR）占据相同的地址空间，但物理上与 SFR 空间分开。当使用直接寻址方式的指令访问高于 0x7F 的地址时，将访问 SFR 空间；当使用间接寻址方式的指令访问高于 0x7F 的地址时，将访问数据存储器的高 128 字节。

4.4.1 通用寄存器

从地址 0x00 到 0x1F，可以作为 4 个通用寄存器区访问，每个区有 8 个 8 位寄存器，称为 R0-R7。在同一时刻只能选择一个寄存器区，程序状态字中的 RS0(PSW.3)和 RS1(PSW.4)位用于选择当前的寄存器区，间接寻址方式使用 R0 和 R1 作为间址寄存器。



4.4.2位寻址空间

从地址 0x20 到 0x2F 的 16 个数据存储器单元可以作为 128 个独立寻址位访问。每个位有一个位地址，从 0x00 到 0x7F。位于地址 0x20 的数据字节的 BIT0 位地址为 0x00，位于 0x20 的数据字节的 BIT7 位地址为 0x07，位于 0x2F 的数据字节的 BIT7 位地址为 0x7F。由所用指令的类型来区分是位寻址还是字节寻址。

4.4.3堆栈

程序的堆栈可以位于 256B 数据存储器中的任何位置，堆栈区域用堆栈指针(SP, 0x81)指定，SP 指向最后使用的位置。下一个压入堆栈的数据将被存放在 SP+1，然后 SP 加 1，堆栈深度最大 256 级。

复位后堆栈指针被初始化为地址 0x07，因此第一个被压入堆栈的数据将被存放在地址 0x08，这也是寄存器区 1 的第一个寄存器 (R0)。如果使用不止一个寄存器区，SP 应被初始化为数据存储器中不用于数据存储的位置。

4.4.4特殊功能寄存器

从地址 0x80 到 0xFF，采用直接寻址存储器空间为特殊功能寄存器 (SFR)。通过操作 SFR 对 AiP8F3532 系统和外设的控制及数据交换。用直接寻址方式访问 0x80~0xFF 的存储器空间将访问特殊功能寄存器 (SFR)，地址以 0x0 或 0x8 结尾的 SFR (例如 ACC、IE0、IE1、PSW 等) 既可以按字节寻址也可以按位寻址，所有其它 SFR 只能按字节寻址。FSCR 寄存器有 KEYCODE 设计，出于软件安全的考虑，在将数据写入该 SFR 之前，必须先按顺序正确地将 KEYCODE 数值写入到 KEYCODE 寄存器中。SFR 空间中未使用的地址保留，访问这些地址会产生不确定的结果，应予避免。

下表列出了 AiP8F3532 系统控制器中的全部 SFR，有关每个寄存器的详细说明请参见各章节寄存器说明。

表 4.4.1 特殊功能寄存器地址映射表

高 5 位地址	低 3 位地址							
	0H	1H	2H	3H	4H	5H	6H	7H
F8H	IP1	CRCIN	CRCDL	CRCRH	FSCR ^{注2}	FSDR	FSALR	FSAHR
F0H	B	—	SYSCR1 ^{注1}	SYSCR2 ^{注1}	SYSCR ^{注1}	CKCR ^{注1}	OSCCR1	OSCTS
E8H	RSTFR	—	—	—	—	—	—	OPACR
E0H	ACC	—	—	—	—	—	—	—
D8H	LVRCR	I2CCR1	SPICR1	SPICR2	SPISR	SPIDR	FSCR1 ^{注2}	KEYCODE
D0H	PSW	I2CSR1	I2CSR2	I2CDR	I2CADDR	I2CCCRL	I2CCCRH	I2CSDHR
C8H	OSCCR	UART2CR1	UART2CR2	UART2CR3	UART2DR	UART2SR	UART2BRR1	UART2BRR2
C0H	EIFLAG0	UART1CR1	UART1CR2	UART1CR3	UART1SR	UART1DR	UART1BRR1	UART1BRR2



表 835-11-B5

B8H	IP0	—	—	—	—	—	—	—
B0H	P3	T2CR1	T2CR2	T2DR1L	T2DR1H	T2DR2L	T2DR2H	EIFLAG1
A8H	IE0	IE1	IE2	ADCCRL	ADCCRH	ADCRL	ADCRH	P5IO
A0H	P2	T1CR1	T1CR2	T1DR1L	T1DR1H	T1DR2L	T1DR2H	P4IO
98H	P5	T0CR1	T0CR2	T0DR1L	T0DR1H	T0DR2L	T0DR2H	—
90H	P1	DPS	WDTCR	WTCR	—	P0IO	P1IO	—
88H	P4	—	WDTDR/ WDCNT	WTDR/ WTCNT	EIFLAG2	—	FRECR	FRECNT
80H	P0	SP	DPL	DPH	DPL1	DPH1	LVICR	PCON

注:

注 1、需预先写入 KEYCODE 解锁写保护: 0x3C、0x02、0xA0, 写结束后写入“00”打开写保护

注 2、需预先写入 KEYCODE 解锁写保护: 0x3C、0x02、0xA1, 写结束后写入“00”打开写保护

4.4.5 系统控制寄存器

表 4.4.2 ACC 累加器

Bit	7	6	5	4	3	2	1	0
Name	ACC							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.3 B 寄存器

Bit	7	6	5	4	3	2	1	0
Name	B							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.4 SP 堆栈指针

Bit	7	6	5	4	3	2	1	0
Name	SP							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	1	1	1

表 4.4.5 DPL 数据指针寄存器 L

Bit	7	6	5	4	3	2	1	0
Name	DPL							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0



表 4.4.6 DPL 数据指针寄存器 H

Bit	7	6	5	4	3	2	1	0
Name	DPH							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.7 DPL1 数据指针寄存器 Low1

Bit	7	6	5	4	3	2	1	0
Name	DPL1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.8 DPH1 数据指针寄存器 High1

Bit	7	6	5	4	3	2	1	0
Name	DPH1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.9 PSW 程序状态寄存器

Bit	7	6	5	4	3	2	1	0
Name	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述																				
7	CY	进位标志																				
6	AC	辅助进位标志																				
5	F0	通用用户可定义标志																				
4-3	RS[1:0]	寄存器组选择位																				
		<table border="1"> <thead> <tr> <th>RS1</th> <th>RS0</th> <th>寄存器</th> <th>地址</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0x00-0x07</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0x08-0x0F</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> <td>0x10-0x17</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> <td>0x18-0x1F</td> </tr> </tbody> </table>	RS1	RS0	寄存器	地址	0	0	0	0x00-0x07	0	1	1	0x08-0x0F	1	0	2	0x10-0x17	1	1	3	0x18-0x1F
		RS1	RS0	寄存器	地址																	
		0	0	0	0x00-0x07																	
0	1	1	0x08-0x0F																			
1	0	2	0x10-0x17																			
1	1	3	0x18-0x1F																			
2	OV	溢出标志 该位在下列情况下被置“1”： ADD、ADDC 或 SUBB 指令引起符号位变化溢出。 MUL 指令引起溢出（结果大于 255）。 DIV 指令的除数为“0”。 ADD、ADDC、SUBB、MUL 和 DIV 指令的其它情况使该位清零。																				
		1	F1	用户可定义标志																		
0	P	奇偶标志。每个指令周期通过硬件设置/清除来表示累加器中 1 的数量的奇偶																				



表 4.4.10 DPS 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	DPSSEL
R/W	—	—	—	—	—	—	—	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
0	DPSSEL	0: DPTR 1: DPTR1

4.4.6 扩展地址寄存器

XRAM 中从 0x40E0 到 0x41FF 的存储器空间为扩展地址寄存器，如下表所示。

表 4.4.11 扩展地址特殊功能寄存器地址映射表

地址	寄存器	地址	寄存器
40E1H	P0PU	414AH	P5DC
40E2H	P1PU	4150H	ADAN0
40E5H	P4PU	4151H	ADAN1
40E6H	P5PU	4154H	ADAN4
40E5H	P4PU	4159H	COMCR
40E6H	P5PU	415AH	LCMCR0
40F1H	P0DB	415BH	LCMCR1
40F2H	P1DB	415CH	LCMCR2
40F5H	P4DB	415DH	LCDCR
40F6H	P5DB	415EH	LCMCR3
4118H	EIPOL0	41E2H	T5PWMOE
4119H	EIPOL1	41E3H	T5DCR1
411AH	EINT4SEL	41E4H	T5DCR2
411BH	EINT5SEL	41E6H	T5DR0L
4130H	CCTCR0	41E7H	T5DR0H
4131H	CCTCR1	41E9H	T5DR1L
4132H	CCTCR2	41EAH	T5DR1H
4133H	CCTCR3	41EBH	T5DR2L
4134H	CCTDRL	41ECH	T5DR2H
4135H	CCTDRH	41EDH	T5DR3L
4136H	CCTIDA	41EEH	T5DR3H
4137H	CCTANA	41EFH	T5CR1
4138H	CCTCH0	41F1H	T5DR4L
4139H	CCTCH1	41F2H	T5DR4H
413AH	CCTCH2	41F3H	T5DR5L
413BH	CCTCH3	41F4H	T5DR5H
4144H	SLEDC	41F5H	T5DR6L
4145H	P0DC	41F6H	T5DR6H
4146H	P1DC	41F7H	T5CR2



4149H	P4DC		
-------	------	--	--

5 时钟

5.1 特性

时钟发生器为内核和外围设备提供时钟，包括晶体振荡器 LXT 和内部 HIRC/LIRC 振荡器。主时钟默认为 HIRC（16MHz）。

- 内部高速振荡（HIRC）
- 内部低速振荡（LIRC）
- 外部低速晶振（LXT）

5.2 功能框图

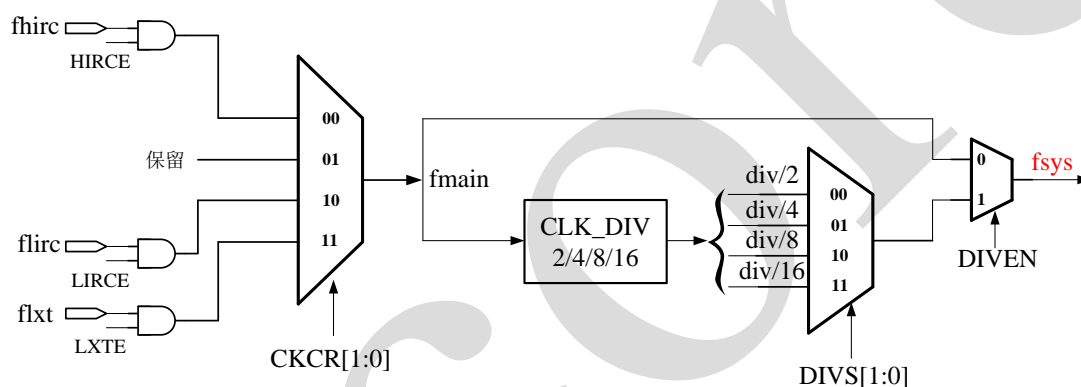


图 5.2.1 时钟功能框图

5.3 寄存器列表

表 5.3.1 时钟寄存器列表

寄存器名称	地址	描述	初值
OSCCR	C8H	振荡时钟控制寄存器	10H
OSCCR1	F6H	晶振控制寄存器	00H
OSCTS	F7H	外部晶振稳定检测时间控制寄存器	FFH
CKCR	F5H	系统时钟控制寄存器	10H



5.4 寄存器说明

表 5.4.1 OSCCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LXTE	LIRCE	—	HIRCE	—	—	DIVS1	DIVS0
R/W	R/W	R/W	R/W	R/W	—	—	R/W	R/W
POR	0	0	0	1	0	0	0	0

位	字段	描述
7	LXTE	LXT 时钟使能 0: LXT 使能关闭 1: LXT 使能打开
6	LIRCE	LIRC 时钟使能 0: LIRC 时钟使能关闭 1: LIRC 时钟使能打开
5	保留	
4	HIRCE	HIRC 时钟使能 0: HIRC 时钟使能关闭 1: HIRC 时钟使能打开
3-2	保留	
1-0	DIVS[1:0]	系统时钟分频选择 00: 1 分频 01: 2 分频 10: 4 分频 11: 8 分频

表 5.4.2 OSCCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAD_SEL	—	—	—	LXT_QKUP_EH	—	LXT_STBF	—
R/W	W/R	—	—	—	R/W	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	PAD_SEL	外部振荡端口复用使能控制位 1: 外部振荡端口复用 0: 禁止复用
6-4	保留	
3	LXT_QKUP_EH	LXT 快速起振使能位, 起振后约 2s 可选进入低功耗模式 1: 使能 0: 不使能
2	保留	
1	LXT_STBF	LXT 振荡稳定标志位 1: LXT 振荡稳定计数器计数至 OSCTS 设定值 0: LXT 振荡稳定计数器未计数至 OSCTS 设定值
0	保留	



表 5.4.3 OSCTS 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	OSCTS3	OSCTS2	OSCTS1	OSCTS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-4	保留	
3-0	OSCTS[3:0]	OSCTS 振荡稳定时间选择 0000: 2^8 /fsys 0001: 2^9 /fsys 0010: 2^{10} /fsys 0011: 2^{11} /fsys 0100: 2^{12} /fsys 0101: 2^{13} /fsys 0110: 2^{14} /fsys 1011: 2^{15} /fsys 1000: 2^{16} /fsys 1001: 2^{17} /fsys 1010: 2^{18} /fsys 其他: 2^{18} /fsys

表 5.4.4 CKCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LXTF	LIRCF	—	HIRCF	—	—	CKCR1	CKCR0
R/W	R	R	R	R	R/W	R/W	R/W	R/W
POR	0	0	0	1	0	0	0	0

位	字段	描述
7	LXTF	LXT 作为系统时钟标志位 1: LXT 为系统时钟源
6	LIRCF	LIRC 作为系统时钟标志位 1: LIRC 为系统时钟源
5	保留	
4	HIRCF	HIRC 作为系统时钟标志位 1: HIRC 为系统时钟源
3-2	保留	
1-0	CKCR[1:0]	00: HIRC 振荡器时钟源 01: 保留 10: LIRC 振荡器时钟源 11: LXT 时钟源

注: 上电复位后, HIRC 为系统默认的时钟源。当不同的时钟源切换时, 必须在程序继续执行前提供一个振荡器稳定时延。



6 复位

6.1 特性

电路的复位源有以下四种类型：

- POR 上电复位
- 看门狗溢出复位
- LVR 复位
- 外部端口复位

上述复位除 POR 复位为一直有效，看门狗复位、LVR 复位、外部端口复位（P52）需通过程序设置。

6.2 功能框图

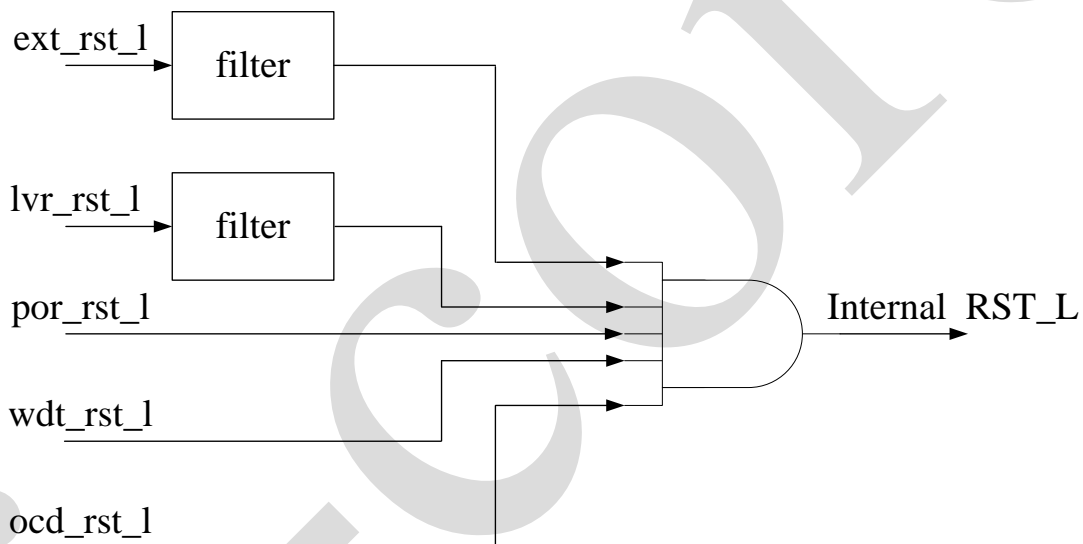


图 6.2.1 复位功能框图

6.3 寄存器列表

表 6.3.1 复位寄存器列表

寄存器名称	地址	描述	初值
RSTFR	E8H	RSTFR 复位标志位寄存器	80H
LVRCR	D8H	LVRCR 低压复位控制寄存器	80H



6.4 寄存器说明

表 6.4.1 RSTFR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PORF	EXTF	WDTF	LVRF	—	—	—	—
R/W	R/W	R/W	R/W	R/W	—	—	—	—
POR	1	0	0	0	0	0	0	0

位	字段	描述
7	PORF	上电复位标志位，软件写“1”清零，写“0”无影响 0：上电复位标志无效 1：上电复位标志有效
6	EXTF	外部复位标志位，软件写“1”清零，写“0”无影响 0：外部复位标志无效 1：外部复位标志有效
5	WDTF	看门狗复位标志位，软件写“1”清零，写“0”无影响 0：看门狗复位标志无效 1：看门狗复位标志有效
4	LVRF	低压复位标志位，软件写“1”清零，写“0”无影响 0：低压复位标志无效 1：低压复位标志有效
3-0	保留	

注：

- 1、上电复位发生时，只有 PORF 置“1”，其他标志位都清零
- 2、除 POR 之外的复位发生时，相应的标志位置“1”，其他标志位保持先前值。

表 6.4.2 LVRCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LVREN	—	—	—	—	—	LVR_SEL[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	0	0	0	0	0	0

位	字段	描述
7	LVREN	LVR 使能位 0：除能 1：使能
6-2	保留	
1-0	LVR_SEL[1:0]	LVR 电压选择位 00：2.10V 01：2.55V 10：3.15V 11：3.80V



7 工作模式

7.1 特性

- 普通模式：所有模块均可运行。
- 低速模式：系统时钟选择低速时钟。
- 空闲模式：内核停止工作，外设可正常运行。
- 停止模式：所有模块停止运行。

表 7.1.1 工作模式说明表

外围	空闲模式	停止模式
内核	停止运行	停止运行
RAM	保持	保持
WDT	继续工作	运行时钟非系统时钟时可继续工作； 否则停止
定时器 0~2	继续工作	停止
定时器 5	继续工作	停止
ADC	继续工作	停止
内部高速振荡 HIRC	继续运行	作为系统时钟时停止；否则继续运行
内部低速振荡 LIRC	继续运行	作为系统时钟时停止；否则继续运行
端口 P0/P1/P4/P5	保持	保持
唤醒源	复位 所有中断	复位 所有外部中断 WT 唤醒 UART1/2 数据输入端口低电平

7.2 寄存器列表

表 7.2.1 工作模式寄存器列表

寄存器名称	地址	描述	初值
SYSCR1	F2H	系统控制寄存器 1	00H
SYSCR2	F3H	系统控制寄存器 2	00H
SYSCR	F4H	系统控制寄存器	00H
PCON	87H	工作模式控制寄存器	00H



7.3 寄存器说明

表 7.3.1 SYSCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCLK_EN	TOUCH_CLK_EN	SPICLK_EN	I2CLK_EN	CRCLK_EN	WDTCLK_EN	WTCLK_EN	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	ADCLK_EN	ADC 门控时钟使能 1: 使能 0: 禁止
6	TOUCHCLK_EN	TOUCH 门控时钟使能 1: 使能 0: 禁止
5	SPICLK_EN	SPI 门控时钟使能 1: 使能 0: 禁止
4	I2CLK_EN	I2C 门控时钟使能 1: 使能 0: 禁止
3	CRCLK_EN	CRC 门控时钟使能 1: 使能 0: 禁止
2	WDTCLK_EN	WDT 门控时钟使能 1: 使能 0: 禁止
1	WTCLK_EN	WT 门控时钟使能 1: 使能 0: 禁止
0	保留	



表 7.3.2 SYSCR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	UART1C LK_EN	UART2C LK_EN	T5CLK_ EN	T2CLK_ EN	T1CLK_ EN	T0CLK_ EN
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	保留	
5	UART1CLK_EN	UART1 门控时钟使能 1: 使能 0: 禁止
4	UART2CLK_EN	UART2 门控时钟使能 1: 使能 0: 禁止
3	T5CLK_EN	TMR5 门控时钟使能 1: 使能 0: 禁止
2	T2CLK_EN	TMR2 门控时钟使能 1: 使能 0: 禁止
1	T1CLK_EN	TMR1 门控时钟使能 1: 使能 0: 禁止
0	T0CLK_EN	TMR0 门控时钟使能 1: 使能 0: 禁止



表 7.3.3 SYSCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	FWKTIME[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
3-0	FWKTIME[3:0]	<p>唤醒时间选择位</p> <p>0000: 唤醒时间=主时钟周期×2</p> <p>0001: 唤醒时间=主时钟周期×4</p> <p>0010: 唤醒时间=主时钟周期×8</p> <p>0011: 唤醒时间=主时钟周期×16</p> <p>0100: 唤醒时间=主时钟周期×32</p> <p>0101: 唤醒时间=主时钟周期×64</p> <p>0110: 唤醒时间=主时钟周期×128</p> <p>0111: 唤醒时间=主时钟周期×256</p> <p>1000: 唤醒时间=主时钟周期×512</p> <p>1001: 唤醒时间=主时钟周期×1024</p> <p>1010: 唤醒时间=主时钟周期×2048</p> <p>1011: 唤醒时间=主时钟周期×4096</p> <p>1100: 唤醒时间=主时钟周期×8192</p> <p>1101: 唤醒时间=主时钟周期×16384</p> <p>1110: 唤醒时间=主时钟周期×32768</p> <p>1111: 唤醒时间=主时钟周期×65536</p> <p>从接收到有效唤醒信号到系统开始正常工作总的唤醒时间=(128+SYSCCTRL)×主时钟周期</p>

注:

唤醒时间只在 STOP 模式下有效, IDLE 模式无唤醒时间。



表 7.3.4 PCON 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	STOP	IDLE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-2	保留	
1	STOP	STOP 模式控制位 1: STOP 模式使能 0: STOP 模式关闭
0	IDLE	IDLE 模式控制位 1: IDLE 模式使能 0: IDLE 模式关闭



8 中断

8.1 特性

AiP8F3532 有 16 个内部中断源，每个中断源有 4 个优先等级。每个中断源在 SFR 中有一个中断标志位，满足中断触发条件时，相应的中断标志被置起。中断控制器具有以下特点：

- 16 个中断源。
- 可配置 4 级中断优先级
- 各中断可通过中断总使能 EA 和各子中断使能控制

某些中断标志在内核进入中断服务程序（ISR）时被自动清除，但大多数中断标志不是由硬件清除的，必须在中断服务程序返回前用软件清除。如果一个中断标志在内核执行完中断返回（RETI）指令后仍然保持置位状态，则会立即产生一个新的中断请求，内核将在执行完下一条指令后再次进入该 ISR。

8.2 中断源和中断向量

表 8.2.1 中断向量说明表

中断源	向量地址	向量号	中断标志	标志位清除
复位	0x0000	N/A	N/A	N/A
外部中断 0	0x0003	0	IEX0	Software (cleared by 0)
外部中断 1	0x000B	1	IEX1	Software (cleared by 0)
外部中断 2	0x0013	2	IEX2	Software (cleared by 0)
外部中断 3	0x001B	3	IEX3	Software (cleared by 0)
外部中断 4	0x0023	4	IF4x	Software (cleared by 0)
外部中断 5	0x002B	5	IF5x	Software (cleared by 0)
—	0x0033	6	—	—
LVD 中断	0x003B	7	LVD_IF	Software (cleared by 0)
I2C 中断	0x0043	8	I2C_IF	Hardware Or Software (cleared by 0)
UART1/2 中断	0x004B	9	TXE TC RXNE WAKE	Software (cleared by 0)
TOUCH 中断	0x0053	10	CCTMROVF	Software (cleared by 0)
定时器 0 中断	0x005B	11	TOCF	Software



表 835-11-B5

			T0OK	(cleared by 0)
定时器 1 中断	0x0063	12	T1CF T1OK	Software (cleared by 0)
定时器 2 中断	0x006B	13	T2CF T2OK	Software (cleared by 0)
定时器 5 中断	0x0073	14	T5CF	Software (cleared by 0)
归类 1 中断 ADC/SPI 中断	0x007B	15	ADCIFR SPIIFR	Software (cleared by 0)
归类 2 中断 WT/WDT 中断	0x0083	16	WTIFR WDTF	Software (cleared by 0)
—	0x008B	17	—	—

8.3 中断优先级

每组中断都可以被独立设置为四个优先级中的一个，每组中断可以通过中断优先级寄存器配置为 4 个中断优先级。level 3 优先级最高，level 0 优先级最低，复位后 IP0 和 IP1 被清除为“00H”。每个中断在 SFR (IP0、IP1) 中都有一个配置其优先级的配置位，缺省值为最低优先级，且低优先级的中断可以被高优先级的中断打断。如果两个中断同时发生，具有高优先级的中断先响应；如果这两个中断的优先级相同，则由固定的优先级顺序决定哪一个中断先响应。

表 8.3.1 中断组优先级

优先组	Highest	→	Lowest	
0	外部中断 0	保留	定时器 1 中断	Highest
1	外部中断 1	LVD 中断	定时器 2 中断	↓
2	外部中断 2	I2C 中断	定时器 5 中断	
3	外部中断 3	UART1/2 中断	归类 1 中断	
4	外部中断 4	TOUCH 中断	归类 2 中断	
5	外部中断 5	定时器 0 中断	保留	Lowest

注：

同一组中断，若同时触发中断，则响应优先级高的中断；若已经有一个中断被响应，则其它中断将不再会被响应，即使优先级较高的中断也无法打断正在执行的中断服务程序，等待当前中断执行结束后才能响应其它中断。



表 8.3.2 中断优先级说明

位	组		
IP1.0, IP0.0	外部中断 0	保留	定时器 1 中断
IP1.1, IP0.1	外部中断 1	LVD 中断	定时器 2 中断
IP1.2, IP0.2	外部中断 2	I2C 中断	定时器 5 中断
IP1.3, IP0.3	外部中断 3	UART1/2 中断	归类 1 中断
IP1.4, IP0.4	外部中断 4	TOUCH 中断	归类 2 中断
IP1.5, IP0.5	外部中断 5	定时器 0 中断	保留

8.4 寄存器列表

表 8.4.1 中断寄存器列表

寄存器名称	地址	描述	初值
IP0	B8H	中断优先级控制寄存器 0	00H
IP1	F8H	中断优先级控制寄存器 1	00H
IE0	A8H	中断使能寄存器 0	00H
IE1	A9H	中断使能寄存器 1	00H
IE2	AAH	中断使能寄存器 2	00H
EIFLAG0	C0H	外部中断标志 0 寄存器	00H
EIFLAG1	B7H	外部中断标志 4 寄存器	00H
EIFLAG2	8CH	外部中断标志 5 寄存器	00H
EIPOL0	4118H	外部中断触发控制寄存器 0	00H
EIPOL1	4119H	外部中断触发控制寄存器 1	00H
EINT4SEL	411AH	外部中断 4 输入端口选择寄存器	00H
EINT5SEL	411BH	外部中断 5 输入端口选择寄存器	00H

8.5 寄存器说明

表 8.5.1 IP0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	IP0.5	IP0.4	IP0.3	IP0.2	IP0.1	IP0.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0



表 8.5.2 IP1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	IP1.5	IP1.4	IP1.3	IP1.2	IP1.1	IP1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述		
5-0	IP1[5:0]	IP1.x	IP0.x	说明
		0	0	Level0 (lowest)
		0	1	Level1
		1	0	Level2
		1	1	Level3 (highest)

表 8.5.3 IE0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EA	—	INT5E	INT4E	INT3E	INT2E	INT1E	INT0E
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	EA	打开或关闭所有中断 0: 禁止 1: 打开
6	保留	
5	INT5E	外部中断 5 使能控制 0: 禁止 1: 打开
4	INT4E	外部中断 4 使能控制 0: 禁止 1: 打开
3	INT3E	外部中断 3 使能控制 0: 禁止 1: 打开
2	INT2E	外部中断 2 使能控制 0: 禁止 1: 打开
1	INT1E	外部中断 1 使能控制 0: 禁止 1: 打开
0	INT0E	外部中断 0 使能控制 0: 禁止 1: 打开



表 8.5.4 IE1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	INT13E	INT12E	INT11E	INT10E	INT9E	INT8E	INT7E	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	INT13E	定时器 T2 中断使能控制 0: 禁止 1: 打开
6	INT12E	定时器 T1 中断使能控制 0: 禁止 1: 打开
5	INT11E	定时器 T0 中断使能控制 0: 禁止 1: 打开
4	INT10E	触摸中断使能控制 0: 禁止 1: 打开
3	INT9E	UART1/2 中断使能控制 0: 禁止 1: 打开
2	INT8E	I2C 中断使能控制 0: 禁止 1: 打开
1	INT7E	LVD 中断使能控制 0: 禁止 1: 打开
0	保留	

表 8.5.5 IE2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	INT17E	INT16E	INT15E	INT14E
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-4	保留	
3	INT17E	归类 3 中断使能控制 0: 禁止 1: 打开
2	INT16E	归类 2 中断使能控制 0: 禁止



表 835-11-B5

		1: 打开
1	INT15E	归类 1 中断使能控制 0: 禁止 1: 打开
0	INT14E	TMR5 中断使能控制 0: 禁止 1: 打开

表 8.5.6 EIFLAG0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	IEX3	IEX2	IEX1	IEX0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
3	IEX3	外部中断 3 中断标志位, 软件写“0”清 0: 无中断请求 1: 中断请求
2	IEX2	外部中断 2 中断标志位, 软件写“0”清 0: 无中断请求 1: 中断请求
1	IEX1	外部中断 1 中断标志位, 软件写“0”清 0: 无中断请求 1: 中断请求
0	IEX0	外部中断 0 中断标志位, 软件写“0”清 0: 无中断请求 1: 中断请求

表 8.5.7 EIFLAG1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	IF47	IF46	IF45	IF44	IF43	IF42	IF41	IF40
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	IF4[7:0]	外部中断 4 标志位(x=7~0), 软件写“0”清 0: 无中断请求 1: 中断请求



表 8.5.8 EIFLAG2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	IF57	IF56	IF55	IF54	IF53	IF52	IF51	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	IF5[7:0]	外部中断 5 标志位(x=7~0)，软件写“0”清 0: 无中断请求 1: 中断请求

表 8.5.9 EIPOL0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EIPOL03		EIPOL02		EIPOL01		EIPOL00	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	EIPOL03	外部中断 3 边沿选择位 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发
5-4	EIPOL02	外部中断 2 边沿选择位 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发
3-2	EIPOL01	外部中断 1 边沿选择位 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发
1-0	EIPOL00	外部中断 0 边沿选择位 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发



表 8.5.10 EIPOL1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	EIPOL05		EIPOL04	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
3-2	EIPOL05	外部中断 5 边沿选择位 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发
1-0	EIPOL04	外部中断 4 边沿选择位 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发

注：外部中断 5、4 各中断源采用同一触发方式。

表 8.5.11 EINT5SEL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EINT5 SEL7	EINT5 SEL6	EINT5 SEL5	EINT5 SEL4	EINT5 SEL3	EINT5 SEL2	EINT5 SEL1	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	EINT5SEL[7:0]	外部中断 5 通道选择位(n=7~0)，软件写“0”清 0: 禁止外部中断 5 输入通道 1: 使能外部中断 5 输入通道

表 8.5.12 EINT4SEL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EINT4 SEL7	EINT4 SEL6	EINT4 SEL5	EINT4 SEL4	EINT4 SEL3	EINT4 SEL2	EINT4 SEL1	EINT4 SEL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	EINT4SEL[7:0]	外部中断 4 通道选择位(n=7~0)，软件写“0”清 0: 禁止外部中断 4 输入通道 1: 使能外部中断 4 输入通道



9 通用端口 I/O

9.1 特性

AiP8F3532 有 4 组 I/O 口 (P0、P1、P4、P5)。通过软件设置可以把每个口配置为 I/O 口、内部上拉或漏极开路以匹配不同的系统结构和设计要求。

向端口写入时, 数据被锁存到端口数据寄存器中, 以保持引脚上的输出数据值不变。读端口数据寄存器总是返回端口输入引脚的逻辑状态, 端口寄存器总是读其对应的端口 I/O 引脚)。但在对端口 SFR 执行下面的读-修改-写指令 (ANL、ORL、XRL、JBC、CPL、INC、DEC、DJNZ) 和对端口 SFR 中的某一位执行 MOV、CLR、SETB 期间例外。这些指令读端口寄存器 (而不是引脚) 的值, 修改后再写回端口 SFR。

9.2 寄存器列表

表 9.2.1 端口寄存器列表

寄存器名称	地址	描述	初值
P0	80H	P0 数据寄存器	FFH
P1	90H	P1 数据寄存器	FFH
P4	88H	P4 数据寄存器	FFH
P5	98H	P5 数据寄存器	FFH
P0IO	95H	P0 方向寄存器	00H
P1IO	96H	P1 方向寄存器	00H
P4IO	A7H	P4 方向寄存器	00H
P5IO	AFH	P5 方向寄存器	00H
P0PU	40E1H	P0 上拉寄存器	00H
P1PU	40E2H	P1 上拉寄存器	00H
P4PU	40E5H	P4 上拉寄存器	00H
P5PU	40E6H	P5 上拉寄存器	00H
P0DB	40F1H	P0 数字滤波控制寄存器	00H
P1DB	40F2H	P1 数字滤波控制寄存器	00H
P2DB	40F3H	P2 数字滤波控制寄存器	00H
P4DB	40F5H	P4 数字滤波控制寄存器	00H
P5DB	40F6H	P5 数字滤波控制寄存器	00H
ADAN0	4150H	AD 模拟输入端口使能控制寄存器 0	00H
ADAN1	4151H	AD 模拟输入端口使能控制寄存器 1	00H
ADAN4	4154H	AD 模拟输入端口使能控制寄存器 4	00H
COMCR	4159H	COM 口使能控制寄存器	00H
LCMCR0	415AH	端口控制寄存器 0	00H
LCMCR1	415BH	端口控制寄存器 1	00H
LCMCR2	415CH	端口控制寄存器 2	00H
LCMCR3	415EH	端口控制寄存器 3	00H



SLEDC	4144H	驱动电流选择寄存器	03H
P0DC	4145H	P0 驱动电流使能寄存器	00H
P1DC	4146H	P1 驱动电流使能寄存器	00H
P4DC	4149H	P4 驱动电流使能寄存器	00H
P5DC	414AH	P5 驱动电流使能寄存器	00H

9.3 寄存器说明

表 9.3.1 P0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P07	P06	P05	P04	P03	P02	P01	P00
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

数据寄存器是双向 I/O 口。如果作为输出口使用，数据可以写入到 P0 的相应位。如果设置为输入口，读取 P0 寄存器返回 P0 端口实际电平。

表 9.3.2 P1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P17	P16	P15	P14	P13	P12	P11	P10
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

数据寄存器是双向 I/O 口。如果作为输出口使用，数据可以写入到 P1 的相应位。如果设置为输入口，读取 P1 寄存器返回 P1 端口实际电平。

表 9.3.3 P4 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P47	P46	P45	P44	P43	P42	P41	P40
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

数据寄存器是双向 I/O 口。如果作为输出口使用，数据可以写入到 P4 的相应位。如果设置为输入口，读取 P4 寄存器返回 P4 端口实际电平。

表 9.3.4 P5 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	P55	P54	P53	P52	P51	P50
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

数据寄存器是双向 I/O 口。如果作为输出口使用，数据可以写入到 P5 的相应位。如果设置为输入口，读取 P5 寄存器返回 P5 端口实际电平。



表 9.3.5 P0IO 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P07IO	P06IO	P05IO	P04IO	P03IO	P02IO	P01IO	P00IO
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	P0[7:0]IO	P0 口 I/O 方向 0: 输入 1: 输出

表 9.3.6 P1IO 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P17IO	P16IO	P15IO	P14IO	P13IO	P12IO	P11IO	P10IO
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	P1[7:0]IO	P1 口 I/O 方向 0: 输入 1: 输出

表 9.3.7 P4IO 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P47IO	P46IO	P45IO	P44IO	P43IO	P42IO	P41IO	P40IO
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	P4[7:0]IO	P4 口 I/O 方向 0: 输入 1: 输出

表 9.3.8 P5IO 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	P55IO	P54IO	P53IO	P52IO	P51IO	P50IO
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5-0	P5[5:0]IO	P5 口 I/O 方向 0: 输入



		1: 输出
--	--	-------

表 9.3.9 P0PU 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P07PU	P06PU	P05PU	P04PU	P03PU	P02PU	P01PU	P00PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	P0[7:0]PU	P0 口上拉电阻 0: 禁止 1: 使能

表 9.3.10 P1PU 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P17PU	P16PU	P15PU	P14PU	P13PU	P12PU	P11PU	P10PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	P1[7:0]PU	P1 口上拉电阻 0: 禁止 1: 使能

表 9.3.11 P4PU 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P47PU	P46PU	P45PU	P44PU	P43PU	P42PU	P41PU	P40PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	P4[7:0]PU	P4 口上拉电阻 0: 禁止 1: 使能

表 9.3.12 P5PU 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	P55PU	P54PU	P53PU	P52PU	P51PU	P50PU
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5-0	P5[5:0]PU	P5 口上拉电阻



表 835-11-B5

		0: 禁止 1: 使能
--	--	----------------

表 9.3.13 P0DB 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	P04DB	P03DB	P02DB	P01DB	P00DB
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
4	P04DB	P04 消抖使能 0: 不使能 1: 使能
3	P03DB	P03 消抖使能 0: 不使能 1: 使能
2	P02DB	P02 消抖使能 0: 不使能 1: 使能
1	P01DB	P01 消抖使能 0: 不使能 1: 使能
0	P00DB	P00 消抖使能 0: 不使能 1: 使能

表 9.3.14 P1DB 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P17DB	P16DB	P15DB	P14DB	P13DB	P12DB	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	—	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	P17DB	P17 消抖使能 0: 不使能 1: 使能
6	P16DB	P16 消抖使能 0: 不使能 1: 使能
5	P15DB	P15 消抖使能 0: 不使能 1: 使能



表 835-11-B5

4	P14DB	P14 消抖使能 0: 不使能 1: 使能
3	P13DB	P13 消抖使能 0: 不使能 1: 使能
2	P12DB	P12 消抖使能 0: 不使能 1: 使能

表 9.3.15 P4DB 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P47DB	P46DB	P45DB	P44DB	P43DB	P42DB	P41DB	P40DB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	P47DB	P47 消抖使能 0: 不使能 1: 使能
6	P46DB	P46 消抖使能 0: 不使能 1: 使能
5	P45DB	P45 消抖使能 0: 不使能 1: 使能
4	P44DB	P44 消抖使能 0: 不使能 1: 使能
3	P43DB	P43 消抖使能 0: 不使能 1: 使能
2	P42DB	P42 消抖使能 0: 不使能 1: 使能
1	P41DB	P41 消抖使能 0: 不使能 1: 使能
0	P40DB	P40 消抖使能 0: 不使能 1: 使能



表 9.3.16 P5DB 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	P54DB	P53DB	P52DB	—	—
R/W	—	—	—	R/W	R/W	R/W	—	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
4	P54DB	P54 消抖使能 0: 不使能 1: 使能
3	P53DB	P53 消抖使能 0: 不使能 1: 使能
2	P52DB	P52 消抖使能 0: 不使能 1: 使能

表 9.3.17 ADAN0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	AN28	AN27	AN26	AN25	AN24	AN23	AN22
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
6-0	ANn	AD 口模式选择位(n=28~22) 0: 作为 I/O 1: 作为 ANn(n=28~22)

表 9.3.18 ADAN1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	AN10	AN9	AN13	AN12	AN11
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
4-0	ANn	AD 口模式选择位 0: 作为 I/O 1: 作为 ANn



表 9.3.19 ADAN4 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN19	AN20	AN0	AN1	AN2	AN3	AN4	AN5
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位 0: 作为 I/O 1: 作为 ANn

表 9.3.20 COMCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	COMn	COM 口模式选择位(n=7~0) 0: 作为 I/O 1: 作为 COMn(n=7~0)

表 9.3.21 LCMCR0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SCLCR1	SCLCR0	SDACR1	SDACR0	PWM0CR	PWM1CR	PWM2CR	TC0CR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	SCLCR1-0	I2C 模块 SCL 引脚配置位 00: SCL 映射到 P10(默认) 01: SCL 映射到 P41 10: SCL 映射到 P45 11: SCL 映射到 P43
5-4	SDACR1-0	I2C 模块 SDA 引脚配置位 00: SDA 映射到 P11(默认) 01: SDA 映射到 P40 10: SDA 映射到 P44 11: SDA 映射到 P42
3	PWM0CR	TMR0 模块 PWM0 引脚配置位 0: PWM0 映射到 P51(默认) 1: PWM0 映射到 P14



表 835-11-B5

2	PWM1CR	TMR1 模块 PWM1 引脚配置位 0: PWM1 映射到 P50(默认) 1: PWM1 映射到 P13
1	PWM2CR	TMR2 模块 PWM2 引脚配置位 0: PWM2 映射到 P12(默认) 1: PWM2 映射到 P53
0	TC0CR	TMR0 模块 TC0 引脚配置位 0: TC0 映射到 P14(默认) 1: TC0 映射到 P51

表 9.3.22 LCMCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TC1CR	TC2CR	RX1CR	TX1CR	RX2CR	TX2CR	—	PWMFCR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TC1CR	TMR1 模块 TC1 引脚配置位 0: TC1 映射到 P13(默认) 1: TC1 映射到 P50
6	TC2CR	TMR2 模块 TC2 引脚配置位 0: TC2 映射到 P12(默认) 1: TC2 映射到 P53
5	RX1CR	UART1 模块 RX1 引脚配置位 0: RX1 映射到 P45(默认) 1: RX1 映射到 P10
4	TX1CR	UART1 模块 TX1 引脚配置位 0: TX1 映射到 P44(默认) 1: TX1 映射到 P11
3	RX2CR	UART2 模块 RX2 引脚配置位 0: RX2 映射到 P00(默认) 1: RX2 映射到 P41
2	TX2CR	UART2 模块 TX2 引脚配置位 0: TX2 映射到 P01(默认) 1: TX2 映射到 P40
1	保留	
0	PWMFCR	TMR5 模块通道 6 引脚配置位 0: PWMF 映射到 P05(默认) 1: PWMF 映射到 P45



表 9.3.23 LCMCR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PWMECR	PWMDCR	PWMCCR	PWMBCR	PWMACR	—	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	PWMECR	TMR5 模块通道 5 引脚配置位 0: PWME 映射到 P04(默认) 1: PWME 映射到 P44
6	PWMDCR	TMR5 模块通道 4 引脚配置位 0: PWMD 映射到 P03(默认) 1: PWMD 映射到 P43
5	PWMCCR	TMR5 模块通道 3 引脚配置位 0: PWMC 映射到 P02(默认) 1: PWMC 映射到 P42
4	PWMBCR	TMR5 模块通道 2 引脚配置位 0: PWMB 映射到 P01(默认) 1: PWMB 映射到 P41
3	PWMACR	TMR5 模块通道 1 引脚配置位 0: PWMA 映射到 P00(默认) 1: PWMA 映射到 P40

表 9.3.24 LCMCR3 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	EINT3CR	EINT2CR	EINT1CR	EINT0CR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
3	EINT3CR	外部中断 3 引脚配置位 0: EINT3 映射到 P43(默认) 1: EINT3 映射到 P02
2	EINT2CR	外部中断 2 引脚配置位 0: EINT2 映射到 P42(默认) 1: EINT2 映射到 P00
1	EINT1CR	外部中断 1 引脚配置位 0: EINT1 映射到 P41(默认) 1: EINT1 映射到 P01
0	EINT0CR	外部中断 0 引脚配置位 0: EINT0 映射到 P40(默认) 1: EINT0 映射到 P52



表 9.3.25 SLEDC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	DBCLK1	DBCLK0	—	—	—	SLEDCP SL	SLEDCP SH1	SLEDCP SH0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	1	1

位	字段	描述
7-6	DBCLK[1:0]	消抖时钟选择位 00: f_{sys} 01: $f_{sys}/4$ 10: $f_{sys}/8$ 11: $f_{sys}/4096$
5-3	保留	
2	SLEDCPSL	驱动低电平源电流选择 0: level0 (最小): 20mA 1: level1 (最大): 80mA
1-0	SLEDCPSH[1:0]	驱动高电平源电流选择 00: level0 (最小): 2mA 01: level1: 4mA 10: level2: 10mA 11: level3 (最大): 20mA

表 9.3.26 P0DC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P0DC7	P0DC6	P0DC5	P0DC4	P0DC3	P0DC2	P0DC1	P0DC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	P0DC[7:0]	P0 口驱动电流使能 0: 不使能 1: 使能



表 9.3.27 P1DC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P1DC7	P1DC6	P1DC5	P1DC4	P1DC3	P1DC2	P1DC1	P1DC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	P1DC[7:0]	P1 口驱动电流使能 0: 不使能 1: 使能

表 9.3.28 P4DC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P4DC7	P4DC6	P4DC5	P4DC4	P4DC3	P4DC2	P4DC1	P4DC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	P4DC[7:0]	P4 口驱动电流使能 0: 不使能 1: 使能

表 9.3.29 P5DC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	P5DC5	P5DC4	P5DC3	P5DC2	P5DC1	P5DC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5-0	P5DC[5:0]	P5 口驱动电流使能 0: 不使能 1: 使能



10 CRC

10.1 特性

CRC 能在 CPU 运行中作为外围功能进行 CRC 运算，CRCIN 寄存器存储需要进行 CRC 校验的值，通过 CRCDH 和 CRCDL 读取生成的 16 位 CRC 校验码。

- 16 位并行 CRC 校验，写入数据后一个时钟内完成 CRC 计算
- CRC 校验多项式为： $X^{16} + X^{12} + X^5 + 1$

10.2 操作流程

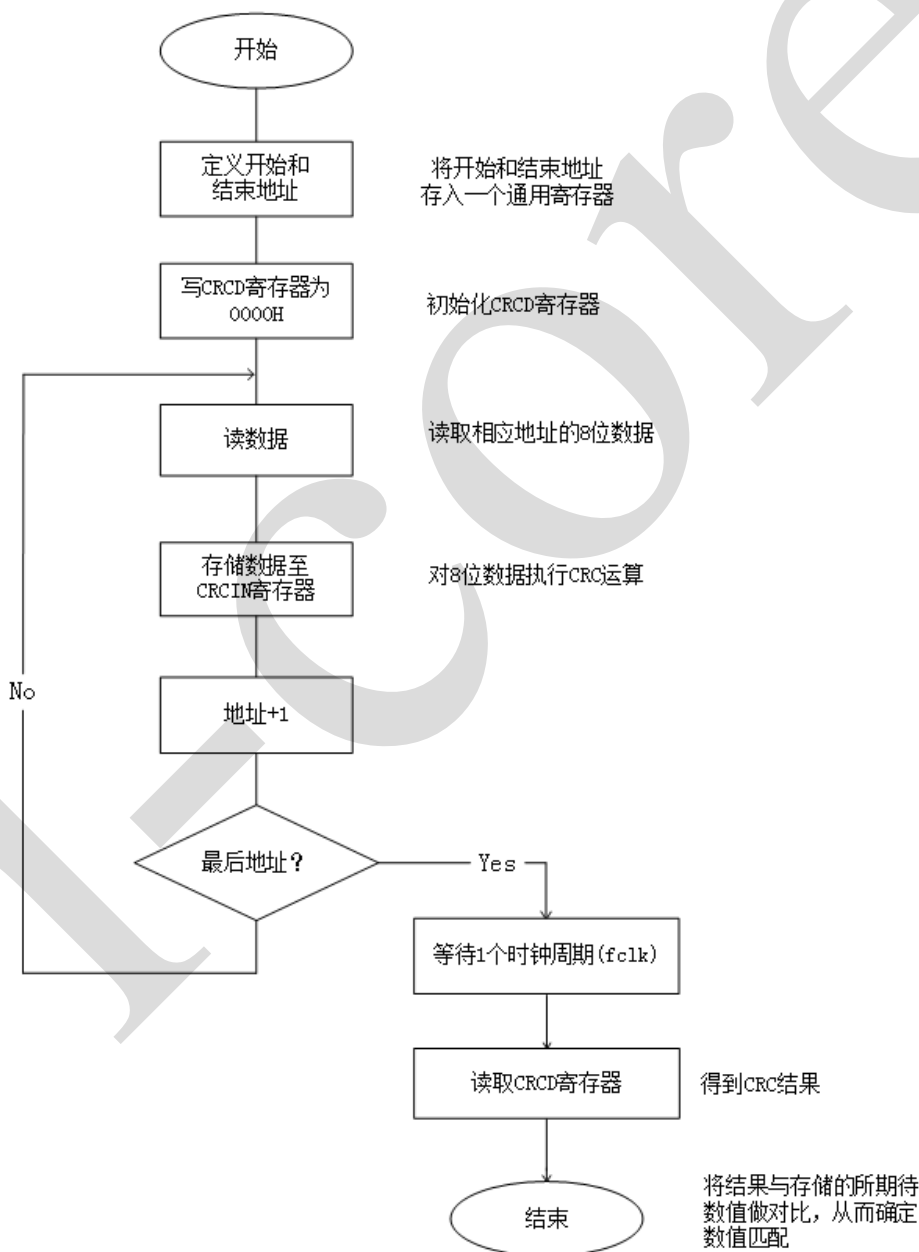


图 10.2.1CRC 操作流程框图



10.3 寄存器列表

表 10.3.1 CRC 寄存器列表

寄存器名称	地址	描述	初值
CRCIN	F9H	CRC 校验数据输入寄存器	00H
CRCDL	FAH	CRC 校验结果低字节寄存器	00H
CRCDH	FBH	CRC 校验结果高字节寄存器	00H

10.4 寄存器说明

表 10.4.1 CRCIN 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CRCIN[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	CRCIN[7:0]	CRC 校验数据输入寄存器

表 10.4.2 CRCDL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CRCDL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	CRCDL[7:0]	CRC 校验结果低字节

表 10.4.3 CRCDH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CRCDH[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	CRCDH[7:0]	CRC 校验结果高字节



11 通用定时器模块

11.1 特性

通用定时器为 16 位加法计数定时器，由 T0, T1, T2 组成。其具有 16 位定时/计数模式、捕捉模式、单脉冲和多脉冲的 PWM 模式。定时器溢出或捕获完成都可以产生中断信号 Tnif。以下出现的 Tn 代表 T0, T1, T2 三个通用定时器。

- 支持定时器/计数器模式
- 可使用内部时钟或外部时钟源 (TCn) 信号
- 内部时钟可选计数分频: $f_{sys}/1, 2, 4, 8, 64, 512, 2048$
- 支持捕捉模式, 可测量待测信号周期或高低电平长度
- 定时器模式下支持计数过程中查询计数值
- 支持 PWM 输出模式 (单次或多次模式)

11.2 功能框图

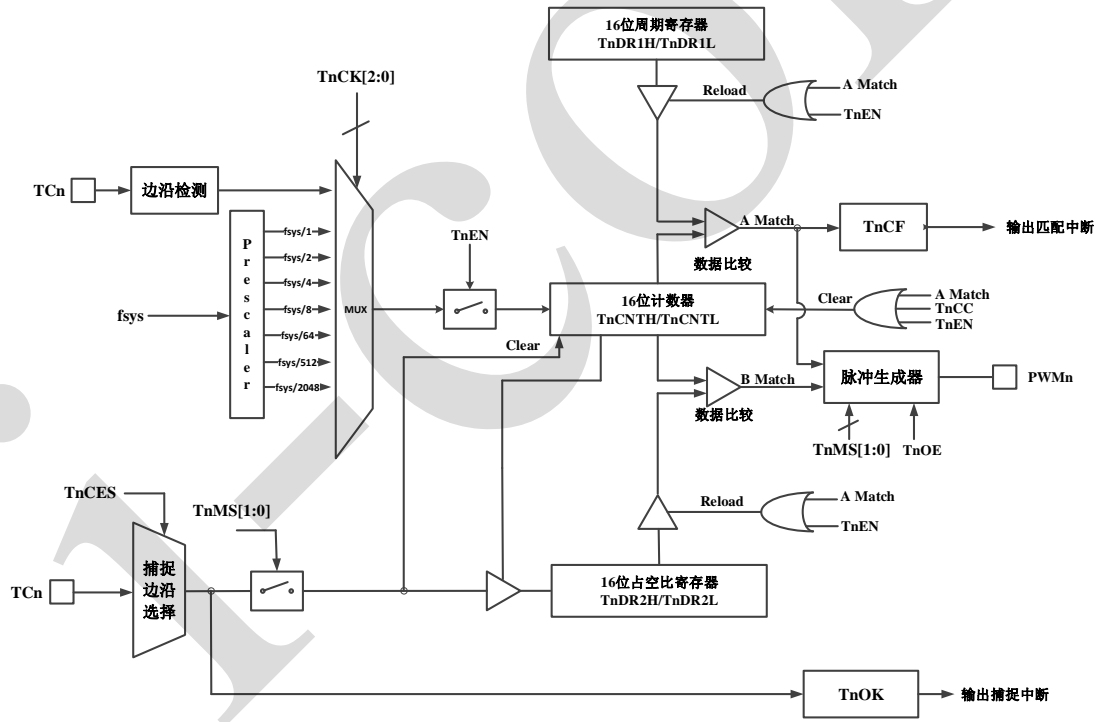


图 11.1 时钟功能框图



11.3 寄存器列表

表 11.3.1 定时器寄存器列表

寄存器名称	地址	描述	初值
T0CR1	99H	定时器 0 控制寄存器 1	00H
T0CR2	9AH	定时器 0 控制寄存器 2	00H
T0DR1L	9BH	定时器 0 周期寄存器低 8 位	FFH
T0DR1H	9CH	定时器 0 周期寄存器高 8 位	FFH
T0DR2L	9DH	定时器 0 占空比寄存器低 8 位	FFH
T0DR2H	9EH	定时器 0 占空比寄存器高 8 位	FFH
T1CR1	A1H	定时器 1 控制寄存器 1	00H
T1CR2	A2H	定时器 1 控制寄存器 2	00H
T1DR1L	A3H	定时器 1 周期寄存器低 8 位	FFH
T1DR1H	A4H	定时器 1 周期寄存器高 8 位	FFH
T1DR2L	A5H	定时器 1 占空比寄存器低 8 位	FFH
T1DR2H	A6H	定时器 1 占空比寄存器高 8 位	FFH
T2CR1	B1H	定时器 2 控制寄存器 1	00H
T2CR2	B2H	定时器 2 控制寄存器 2	00H
T2DR1L	B3H	定时器 2 周期寄存器低 8 位	FFH
T2DR1H	B4H	定时器 2 周期寄存器高 8 位	FFH
T2DR2L	B5H	定时器 2 占空比寄存器低 8 位	FFH
T2DR2H	B6H	定时器 2 占空比寄存器高 8 位	FFH

11.4 寄存器说明

表 11.4.1 TnCR1(n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnEN	PWMEN	TnMS[1:0]		TnRDEN	TnCF	TnOK	TnCC
R/W	R/W	R/W	R/W	R/W	R/W	R/W0	R/W0	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TnEN	定时器使能位(n=0~2) 0: 定时器关闭 1: 定时器使能
6	PWMEN	单脉冲输出使能位 0: 单脉冲信号未输出, 计数器未开始工作 1: 单脉冲信号可以输出, 计数器开始计数 该位由软件置“1”, 单脉冲输出完毕后硬件自动清零
5-4	TnMS[1:0]	定时器工作模式选择位(n=0~2) 00: 定时器/计数器模式 01: 捕捉测量模式 10: PWM 单脉冲模式 11: PWM 多脉冲模式



表 835-11-B5

3	TnRDEN	定时器模式下的计数器读使能 0: 禁止 1: 使能 该位由软件置“1”，一个系统时钟周期后自动清除
2	TnCF	定时器匹配中断(n=0~2) 0: 未发生定时器匹配中断 1: 发生定时器匹配中断 该位由硬件自动置“1”，软件写零清除
1	TnOK	定时器捕捉完成标志位(n=0~2) 0: 定时器捕捉工作未完成 1: 定时器捕捉信号测量完成 该位由硬件自动置“1”，软件写零清除
0	TnCC	定时器计数器软件清零控制位(n=0~2) 0: 无效 1: 清除定时器 Tn 的计数值 该位置位后一个系统时钟后自动清零

表 11.4.2 TnCR2(n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnCK[2:0]			TnCAMS[1:0]		PWME	TnCES	TnOE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-5	TnCK[2:0]	定时器时钟分频选择位(n=0~2) 000: fsys 001: fsys/2 010: fsys/4 011: fsys/8 100: fsys/64 101: fsys/512 110: fsys/2048 111: 外部时钟 TCn
4-3	TnCAMS[1:0]	捕捉模式选择位(n=0~2) 00: 测量输入信号周期 01: 测量输入信号高电平 10: 测量输入信号低电平 11: 无效
2	PWME	PWM 输出极性选择 0: PWM 输出波形不进行反相处理（默认输出低电平） 1: PWM 输出波形经过反相后输出
1	TnCES	Tn 外部时钟计数边沿选择(n=0~2) 0: 外部时钟下降沿定时器/计数器计数值改变



表 835-11-B5

		1: 外部时钟上升沿沿定时器/计数器计数值改变
0	TnOE	定时器输出使能(n=0~2) 0: 定时器输出关闭 1: 定时器输出使能

表 11.4.3 TnDR1L (n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnDR1L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	TnDR1L[7:0]	定时器周期寄存器低 8 位(n=0~2) 计数模式和脉冲发射模式下用于设定定时器的计数周期，计数过程中对该寄存器写值会写入到 TnLOAD1 寄存器（用户不可访问）中，等待计数匹配后再加载到 TnDR1 中。

表 11.4.4 TnDR1H (n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnDR1H[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	TnDR1H[15:8]	定时器周期寄存器高 8 位(n=0~2) 计数模式和脉冲发射模式下用于设定定时器的计数周期，计数过程中对该寄存器写值会写入到 TnLOAD1 寄存器（用户不可访问）中，等待计数匹配后再加载到 TnDR1 中。

表 11.4.5 TnDR2L (n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnDR2L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	TnDR2L[7:0]	定时器周期寄存器低 8 位(n=0~2) 定时器/计数模式下 TnRDEN 写“1”后，读 TnDR2L 返回计数器低八位的值。 PWM 模式下用于设定定时器占空比的数值，计数器计数时对该寄存器的改写通过 TnLOAD2 寄存器（用户不可访问）缓存，等待当前 PWM 信号传输完成，



		即计数匹配后再加载至 TnDR2 中。捕捉模式下用来存放测量结果的低 8 位。
--	--	---

表 11.4.6 TnDR2H (n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnDR2H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	TnDR2H[7:0]	定时器周期寄存器高 8 位(n=0~2) 定时器/计数模式下 TnRDEN 写“1”后，读 TnDR2H 返回计数器高八位的值。PWM 模式下用于设定定时器占空比的数值，计数器计数时对该寄存器的改写通过 TnLOAD2 寄存器（用户不可访问）缓存，等待当前 PWM 信号传输完成，即计数匹配后再加载至 TnDR2 中。捕捉模式下用来存放测量结果的高 8 位。

11.5 功能说明

11.5.1 时钟选择

配置 TnCR2 中的 TnCK[2:0]控制位，切换通用定时器的时钟输入：（1）可选择系统时钟 fsys 分频得到的 fsys/2, fsys/4, fsys/8, fsys/64, fsys/512, fsys/2048；（2）当选择外部端口输入信号 TCn，可配置 TnCR2 中的 TnCES 位来切换时钟边沿的选择。

11.5.2 定时器/计数模式

它有计数寄存器和数据寄存器。计数寄存器由内部或外部时钟输入进行累加。Tn 可以使用的输入时钟分频有 1, 2, 4, 8, 64, 512 和 2048。当 tncnt 和 tndata1 (TnDR1) 值分别相同时，会产生一个匹配信号 tncf 同时产生定时器 n 中断 tnif。tncnt 值被匹配信号自动清零。也可以通过软件 (TnCC) 进行清零。tncf 置起后需要软件清零。

外部时钟 (TCn) 在有效边沿开始计数。如果 TCn 通过 TnCK[2:0] 选择时钟源，TCn 口需要被设置为输入状态。

该定时器同时包含重载功能。当 TnEN 为 0，定时器处于关闭时，此时写入的计数周期值会立即加载到 TnDR1 周期寄存器当中，作为计数器的溢出周期；而在 TnEN 为 1，定时器正常工作时，则会先将计数周期值存入缓存寄存器当中，等到下一次计数溢出后将缓存寄存器当中的计数周期值加载到 TnDR1。

单分频时，定时模式周期 = (TnDR1 + 1) * fsys

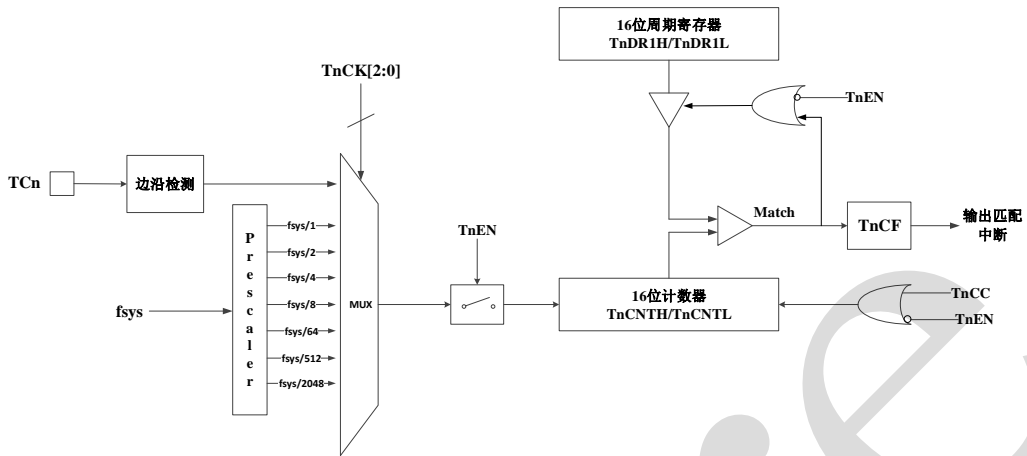


图 11.5.1 定时器/计数器框图

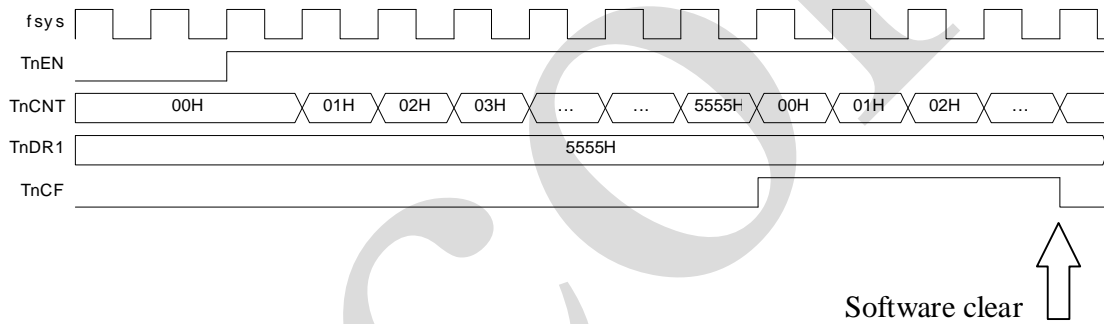


图 11.5.2 单分频定时模式时序图

注：1.fper 意为外设时钟，与 fsys 系统时钟频率一致。

2.tndata1 为 TnDR1 寄存器。

3.cnt_pul 为系统时钟的分频脉冲信号（参考信号，用户不可见）

$$\text{分频时，定时模式周期} = (\text{TnDR1} + 1) * \text{fsys} * [\text{div_num}]$$

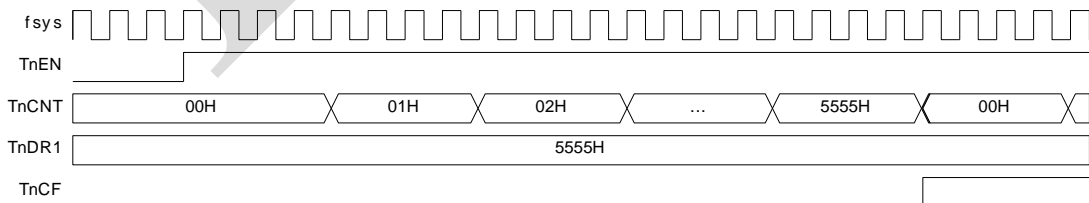


图 11.5.3 四分频定时模式时序图

该模式下在计数过程中将 TnRDEN 软件置“1”，即可从 TnDR2 寄存器读出计数值。一个系统时钟周期后 TnRDEN 自动清零。



11.5.3 捕捉模式

捕捉模式下，根据待测数据的要求，在 TnEN 置位后，等待测量信号 (TCn) 的上升沿 (测量高电平长度，周期长度) 或下降沿 (测量低电平长度，周期长度) 出现后，计数器开始计数工作；等待下一个上升沿 (测量低电平长度，周期长度) 或下降沿 (测量高电平长度，周期长度) 出现后，计数器停止工作 (出现需测量沿后需 3 个系统时钟周期进行沿检采样)，加载当前计数器计数值至 TnDR2 寄存器中，置位 TnOK 中断标志位。当计数器计数值等于 TnDR1 时，计数器复位重新开始计数，同时置位 TnCF 中断标志位。

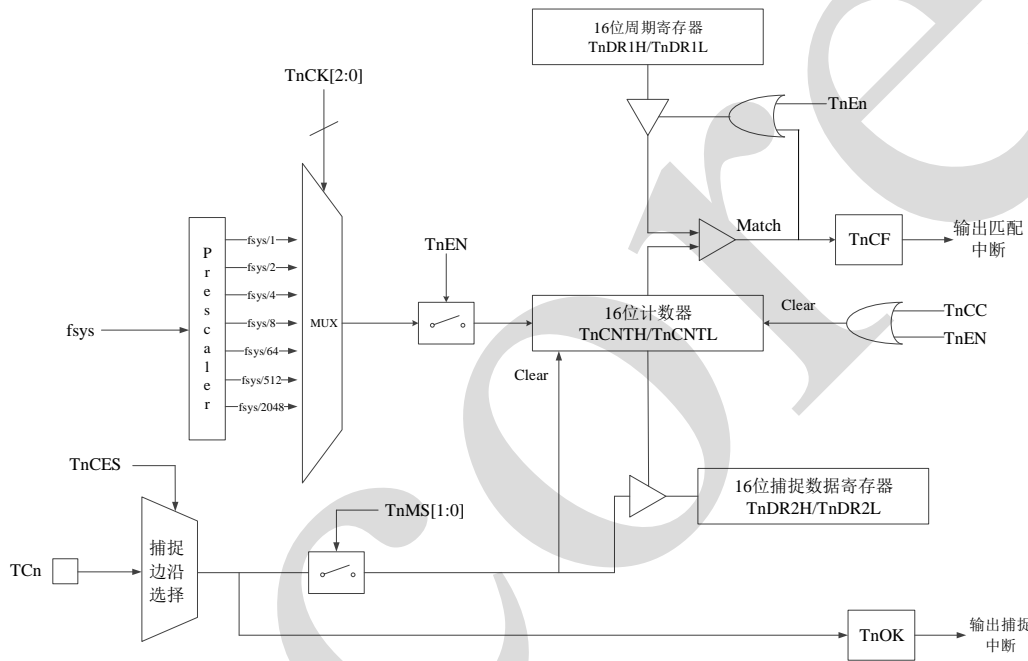


图 11.5.4 捕捉模式框图

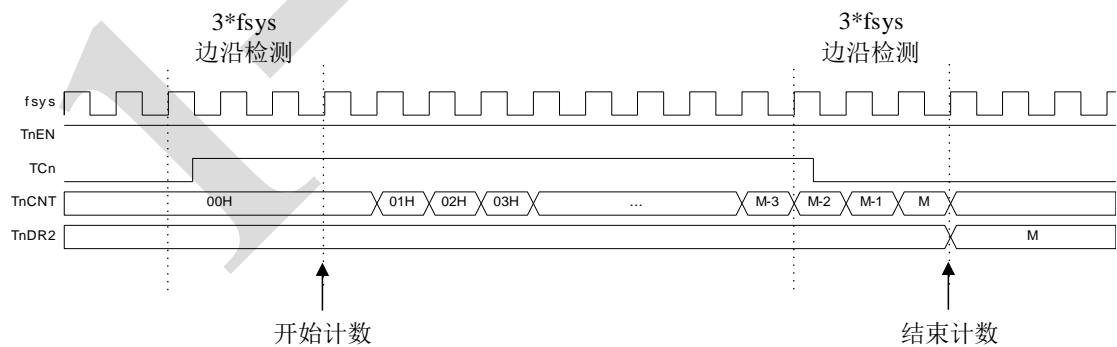


图 11.5.5 单分频测量高电平时序图

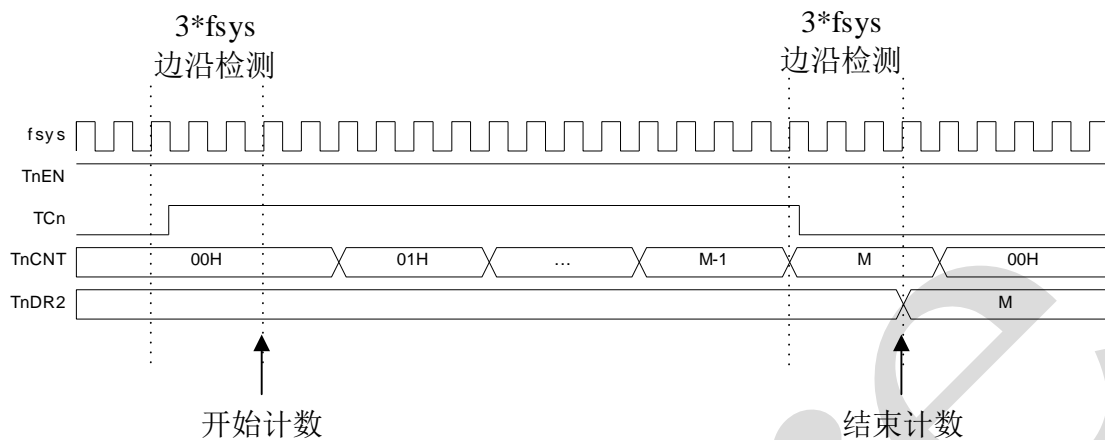


图 11.5.6 四分频测量高电平时序图

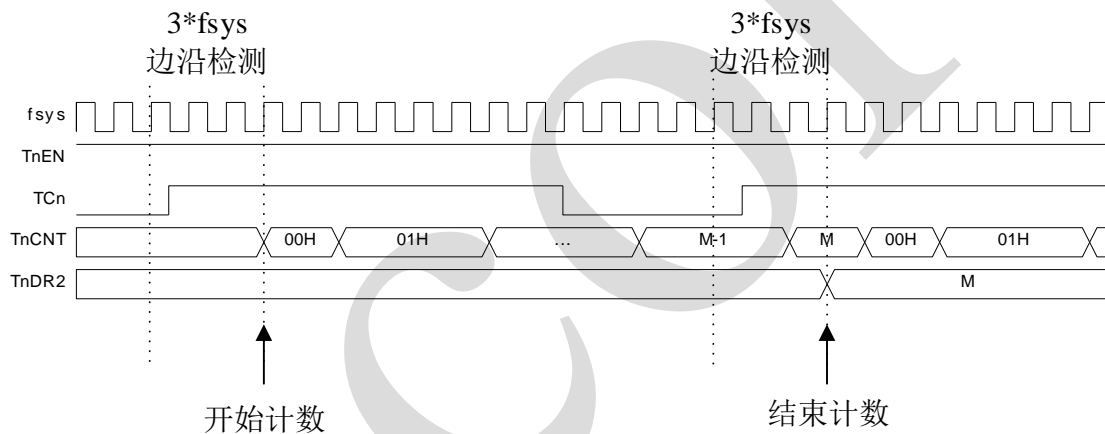


图 11.5.7 四分频测量周期时序图



11.5.4 单脉冲 PWM 模式

在单脉冲模式独立模式下，计数器在 tnen 置位且 PWM 使能 pwmen 置位后开始工作，此时 PWM 波输出为高电平（不反相输出情况下）。当计数器计数值等于(TNDR1-1)时，PWM 波输出翻转为低电平；当计数器计数值等于 TNDR0 时，PWMDEN 位硬件复位为 0，且计数器清零并停止计数。

$$\text{PWM 周期} = (\text{TNDR1} + 1) * f_{\text{sys}}$$

$$\text{PWM 占空比} = (\text{TNDR2}) * f_{\text{sys}}$$

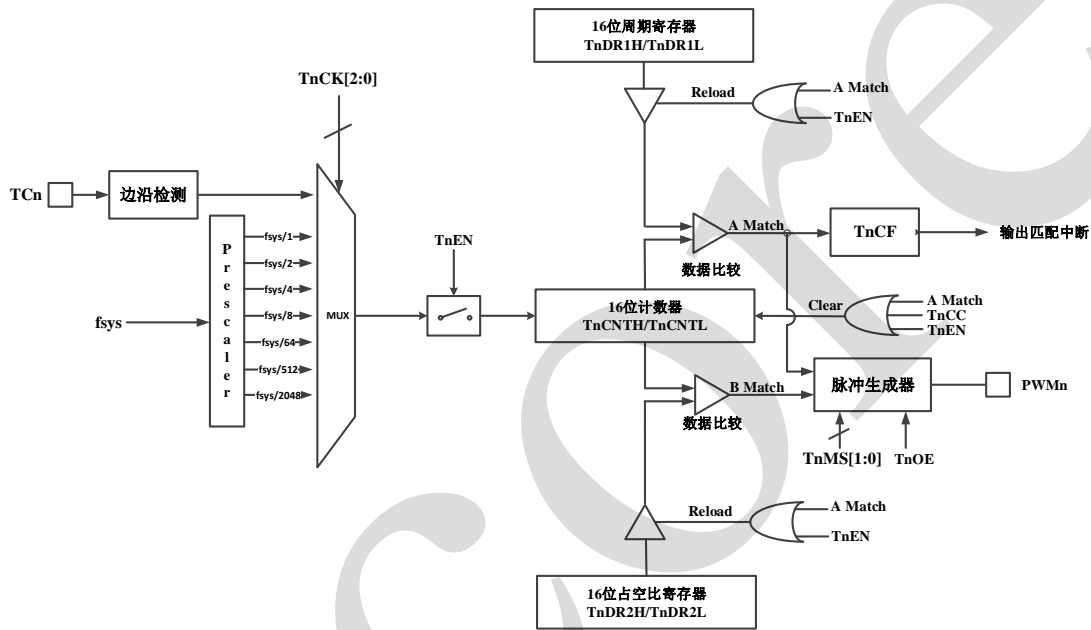


图 11.5.8 PWM 模式框图

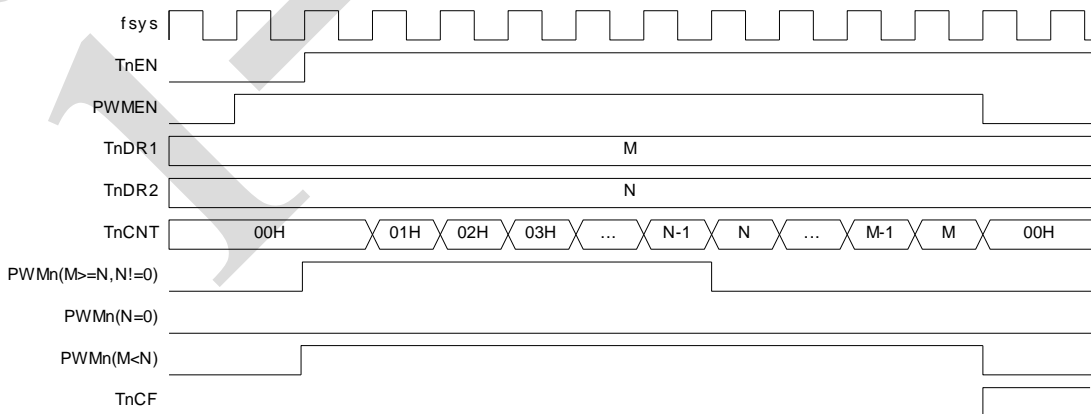


图 11.5.9 单脉冲 PWM 时序图



11.5.5 多脉冲 PWM 时序图

在多脉冲输出模式下，计数器在 t_{nEN} 置位后就开始工作，不反相输出情况下（即 $pwme$ 为 0），PWM 波输出高电平；每次计数值与 $(TnDR2-1)$ 相等时，PWM 波输出翻转为低电平；每次计数值与 $TnDR1$ 相等时，PWM 波输出再次翻转为高电平。

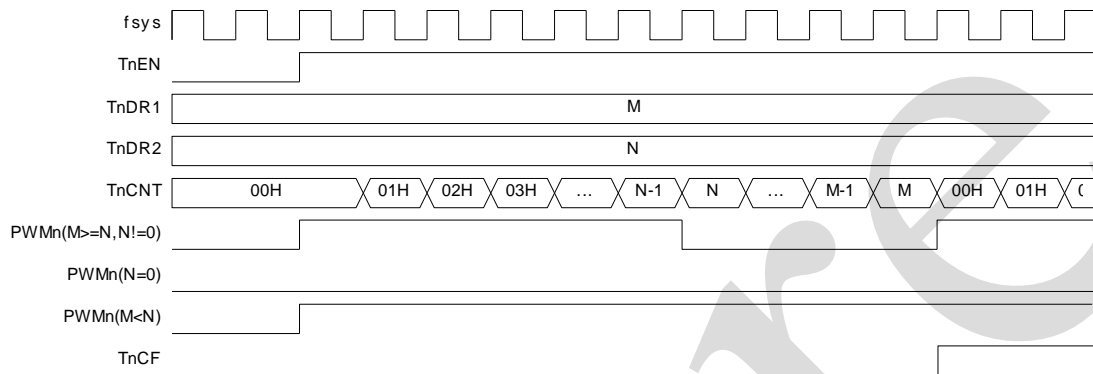


图 11.5.10 多脉冲 PWM 时序图



12 高级定时器模块

12.1 特性

高级定时器 T5 为 12 位加法计数器，具有 6 通道独立输出的 PWM 模式，以及可用 6 通道组成 3 路独立的互补输出和死区控制。

■ 12 位定时/计数模式

内部 12 位计数器，加法计数模式，依次加 1，计数达到 T5DR1 时产生中断 T5CF，计数器 T5CNT 清零；

■ 多种时钟分频选择：fsys/1, fsys/2, fsys/4, fsys/8, fsys/64, fsys/512, fsys/2048；

■ 定时器模式下支持在计数过程中查询计数值；

■ 12 位多脉冲 PWM 模式与单脉冲 PWM 模式

■ PWM 输出可配置为 6 路独立 PWM 波输出或者 3 组独立 PWM 互补输出

■ 可通过配置 T5DR2L, T5DR4L, T5DR6L, 分级调整 PWM 输出死区宽度大小。

■ 匹配中断——T5CF

12.2 功能框图

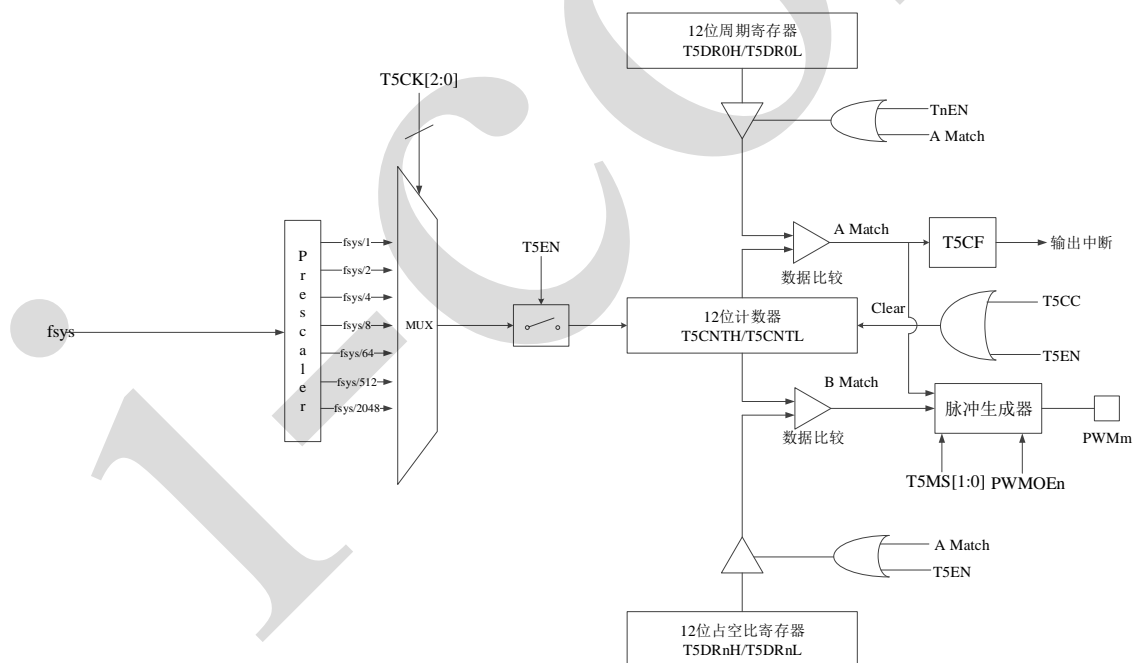


图 12.2.1 TMR5 功能框图



12.3 寄存器列表

表 12.3.1 定时器寄存器列表

寄存器名称	地址	描述	初值
T5PWMOE	41E2H	定时器 5 通道输出使能寄存器	00H
T5DCR1	41E3H	定时器 5 死区控制寄存器 1	00H
T5DCR2	41E4H	定时器 5 死区控制寄存器 2	00H
T5DR0L	41E6H	定时器 5 周期寄存器低 8 位	FFH
T5DR0H	41E7H	定时器 5 周期寄存器高 4 位	0FH
T5DR1L	41E9H	定时器 5 通道 1 占空比寄存器低 8 位	FFH
T5DR1H	41EAH	定时器 5 通道 1 占空比寄存器高 4 位	0FH
T5DR2L	41EBH	定时器 5 通道 2 占空比寄存器低 8 位	FFH
T5DR2H	41ECH	定时器 5 通道 2 占空比寄存器高 4 位	0FH
T5DR3L	41EDH	定时器 5 通道 3 占空比寄存器低 8 位	FFH
T5DR3H	41EEH	定时器 5 通道 3 占空比寄存器高 4 位	0FH
T5CR1	41EFH	定时器 5 控制寄存器 1	00H
T5DR4L	41F1H	定时器 5 通道 4 占空比寄存器低 8 位	FFH
T5DR4H	41F2H	定时器 5 通道 4 占空比寄存器高 4 位	0FH
T5DR5L	41F3H	定时器 5 通道 5 占空比寄存器低 8 位	FFH
T5DR5H	41F4H	定时器 5 通道 5 占空比寄存器高 4 位	0FH
T5DR6L	41F5H	定时器 5 通道 6 占空比寄存器低 8 位	FFH
T5DR6H	41F6H	定时器 5 通道 6 占空比寄存器高 4 位	0FH
T5CR2	41F7H	定时器 5 控制寄存器 2	00H

12.4 寄存器说明

表 12.4.1 T5CR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5EN	PWMEN	T5MS[1:0]		T5RDEN	T5CF	—	T5CC
R/W	R/W	R/W	R/W		R/W	R/W0	—	R/W
POR	0	0	00		0	0	0	0

位	字段	描述
7	T5EN	T5 工作使能 0: 定时器禁止工作 1: 定时器开始工作
6	PWMEN	单脉冲输出使能位 0: 单脉冲信号未输出, 计数器未开始工作 (硬件清 0) 1: 单脉冲信号可以输出, 计数器开始计数 (软件置 1)
5-4	T5MS[1:0]	定时器工作模式 00: 定时器/计数器模式 01: 保留 10: PWM 单脉冲模式 11: PWM 多脉冲模式



表 835-11-B5

3	T5RDEN	定时器模式下计数器读使能 0: 禁止 1: 使能 该位置起后一个系统时钟周期后自动清零。
2	T5CF	定时器匹配中断（硬件置位，软件复位） 0: 未发生定时器匹配中断 1: 发生定时器匹配中断
0	T5CC	清除 T5 计数器 0: 无影响 1: 清除定时器 T5 的计数值 该位置起后一个系统时钟周期后自动清零。

表 12.4.2 T5CR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5CK[2:0]			—	—	—	—	—
R/W	R/W	R/W	R/W	—	—	—	—	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-5	T5CK[2:0]	定时器时钟分频选择位 000: fsys 001: fsys/2 010: fsys/4 011: fsys/8 100: fsys/64 101: fsys/512 110: fsys/2048 111: 保留

表 12.4.3 T5PWMOE 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	PWMOE6	PWMOE5	PWMOE4	PWMOE3	PWMOE2	PWMOE1
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5	PWMOE6	通道 6 PWM 输出使能 0: 通道 6 不输出 PWM 信号，输出始终保持为 0 1: 通道 6 输出 PWM 信号
4	PWMOE5	通道 5 PWM 输出使能 0: 通道 5 不输出 PWM 信号，输出始终保持为 0 1: 通道 5 输出 PWM 信号



表 835-11-B5

3	PWMOE4	通道 4 PWM 输出使能 0: 通道 4 不输出 PWM 信号, 输出始终保持为 0 1: 通道 4 输出 PWM 信号
2	PWMOE3	通道 3 PWM 输出使能 0: 通道 3 不输出 PWM 信号, 输出始终保持为 0 1: 通道 3 输出 PWM 信号
1	PWMOE2	通道 2 PWM 输出使能 0: 通道 2 不输出 PWM 信号, 输出始终保持为 0 1: 通道 2 输出 PWM 信号
0	PWMOE1	通道 1 PWM 输出使能 0: 通道 1 不输出 PWM 信号, 输出始终保持为 0 1: 通道 1 输出 PWM 信号

表 12.4.4 T5DCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P6MS	P4MS	C56DS	C56DE	C34DS	C34DE	C12DS	C12DE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	P6MS	通道 6 PWM 模式选择 0: 独立通道 1: 与同道 5 组成互补输出
6	P4MS	通道 4 PWM 模式选择 0: 独立通道 1: 与同道 3 组成互补输出
5	C56DS	通道 56 输出死区插入边沿控制位 (仅互补模式有效) 0: 定时器输出主波形下降沿插入死区 1: 定时器输出主波形上升沿插入死区
4	C56DE	通道 56 输出死区控制使能位 (仅互补模式有效) 0: 通道 56 输出不插入死区 1: 通道 56 输出插入死区
3	C34DS	通道 34 输出死区插入边沿控制位 (仅互补模式有效) 0: 定时器输出主波形下降沿插入死区 1: 定时器输出主波形上升沿插入死区
2	C34DE	通道 34 输出死区控制使能位 (仅互补模式有效) 0: 通道 34 输出不插入死区 1: 通道 34 输出插入死区
1	C12DS	通道 12 输出死区插入边沿控制位 (仅互补模式有效) 0: 定时器输出主波形下降沿插入死区 1: 定时器输出主波形上升沿插入死区
0	C12DE	通道 12 输出死区控制使能位 (仅互补模式有效) 0: 通道 12 输出不插入死区



表 835-11-B5

	1: 通道 12 输出插入死区
--	-----------------

表 12.4.5 T5DCR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	P2MS	C6PWM	C5PWM	C4PWM	C3PWM	C2PWM	C1PWM
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
6	P2MS	通道 2 PWM 模式选择 0: 独立通道 1: 与通道 1 组成互补输出
5	C6PWM	通道 6 PWM 输出极性选择位 0: 作为独立通道时输出信号不反相, 互补输出时输出与参考信号相同 PWM 波 1: 作为独立通道时输出信号反相, 互补输出与参考信号反相的 PWM 波
4	C5PWM	通道 5 PWM 输出极性选择位 0: 输出 PWM 信号不反相 1: 输出 PWM 信号反相
3	C4PWM	通道 4 PWM 输出极性选择位 0: 作为独立通道时输出信号不反相, 互补输出时输出与参考信号相同 PWM 波 1: 作为独立通道时输出信号反相, 互补输出与参考信号反相的 PWM 波
2	C3PWM	通道 3 PWM 输出极性选择位 0: 输出 PWM 信号不反相 1: 输出 PWM 信号反相
1	C2PWM	通道 2 PWM 输出极性选择位 0: 作为独立通道时输出信号不反相, 互补输出时输出与参考信号相同 PWM 波 1: 作为独立通道时输出信号反相, 互补输出与参考信号反相的 PWM 波
0	C1PWM	通道 1 PWM 输出极性选择位 0: 输出 PWM 信号不反相 1: 输出 PWM 信号反相

表 12.4.6 T5DR0H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR0H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR0H[3:0]	定时器周期寄存器高 4 位 计数模式和脉冲发射模式下用于设定定时器的计数周期, 计数过程中对该寄存器写值会写入到 T5LOAD0 寄存器, 等待计数匹配后再加载到 T5DR0 中。



注：T5LOAD0 为 T5DR0 的缓冲寄存器，用户不可见。以下所有提到的 T5LOAD 寄存器类似。

表 12.4.7 T5DR0L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR0L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR0L[7:0]	定时器周期寄存器低 8 位 计数模式和脉冲发射模式下用于设定定时器的计数周期，计数过程中对该寄存器写值会写入到 T5LOAD0 寄存器，等待计数匹配后再加载到 T5DR0 中。

表 12.4.8 T5DR1H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR1H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR1H[3:0]	定时器通道 1 占空比控制寄存器高 4 位 定时器/计数器模式下 T5RDEN 写“1”后，读 T5DR1H 返回计数器高 8 位的值。 PWM 模式下用于控制通道 1 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD1 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR1 中。互补模式为通道 12 的占空比寄存器高 4 位。

表 12.4.9 T5DR1L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR1L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR1L[7:0]	定时器通道 1 占空比控制寄存器低 8 位 定时器/计数器模式下 T5RDEN 写“1”后，读 T5DR1L 返回计数器低 8 位的值。 PWM 模式下用于控制通道 1 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD1 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR1 中，互补模式为通道 12 的占空比寄存器低 8 位。



表 12.4.10 T5DR2H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR2H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR2H[3:0]	定时器通道 2 占空比控制寄存器高 4 位 PWM 模式下用于控制通道 2 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD2 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR2 中

表 12.4.11 T5DR2L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR2L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR2L[7:0]	定时器通道 2 占空比控制寄存器低 8 位 PWM 模式下用于控制通道 2 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD2 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR2 中，互补模式为通道 12 的死区宽度寄存器

表 12.4.12 T5DR3H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR3H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR3H[3:0]	定时器通道 3 占空比控制寄存器高 4 位 PWM 模式下用于控制通道 3 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD3 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR3 中。互补模式为通道 34 的占空比寄存器高 4 位。



表 12.4.13 T5DR3L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR3L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR3L[7:0]	定时器通道 3 占空比控制寄存器低 8 位 PWM 模式下用于控制通道 3 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD3 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR3 中。互补模式为通道 34 的占空比寄存器低 8 位。

表 12.4.14 T5DR4H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR4H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR4H[3:0]	定时器通道 4 占空比控制寄存器高 4 位 PWM 模式下用于控制通道 4 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD4 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR4 中。

表 12.4.15 T5DR4L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR4L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR4L[7:0]	定时器通道 4 占空比控制寄存器低 8 位 PWM 模式下用于控制通道 4 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD4 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR4 中，互补模式为通道 34 的死区宽度寄存器。



表 12.4.16 T5DR5H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR5H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR5H[3:0]	定时器通道 5 占空比控制寄存器高 4 位 PWM 模式下用于控制通道 5 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD5 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR5 中，互补模式为通道 56 的死区占空比寄存器高 4 位。

表 12.4.17 T5DR5L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR5L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR5L[7:0]	定时器通道 5 占空比控制寄存器低 8 位 PWM 模式下用于控制通道 5 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD5 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR5 中，互补模式为通道 56 的死区占空比寄存器低 8 位。

表 12.4.18 T5DR6H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR6H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR6H[3:0]	定时器通道 6 占空比控制寄存器高 4 位 PWM 模式下用于控制通道 6 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD6 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR6 中。



表 12.4.19 T5DR6L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR6L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR6L[7:0]	定时器通道 6 占空比控制寄存器低 8 位 PWM 模式下用于控制通道 6 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD6 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR6 中，互补模式为通道 56 的死区宽度寄存器 8 位。

12.5 功能说明

12.5.1 时钟选择

配置 T5CR2 中的 T5CK[2:0]控制位，可选择系统时钟 fsys 分频得到的 fsys/2, fsys/4, fsys/8, fsys/64, fsys/512, fsys/2048。

12.5.2 定时器/计数模式

计数器在 T5EN 置位后就开始工作，每次计数值与 T5DR0 相等时，产生匹配中断并清除计数值，同时置位 T5CF 中断信号。

该定时器同时包含重载功能。当 T5EN 为 0，定时器处于关闭时，此时写入的计数周期值会立即加载到 T5DR0 周期寄存器当中，作为计数器的溢出周期；而在 T5EN 为 1，定时器正常工作时，则会先将计数周期值存入缓存寄存器当中，等到下一次计数溢出后将缓存寄存器当中的计数周期值加载到 T5DR0。

单分频时，定时模式周期 = (T5DR0 + 1) * fsys

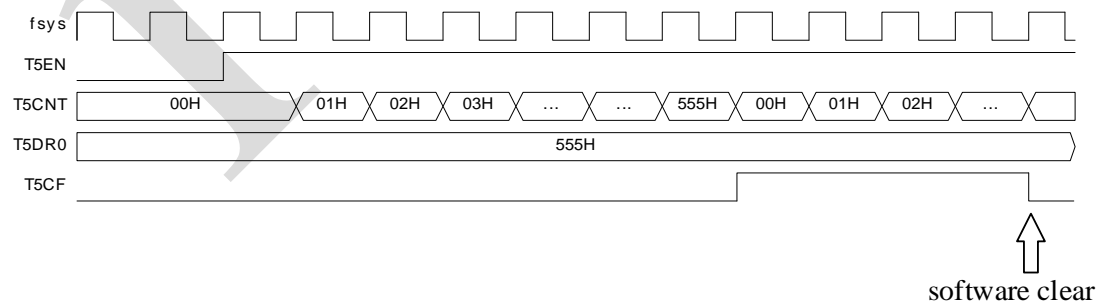


图 12.5.1 单分频定时模式时序图



分频时，定时模式周期= (T5DR0+1) * fsys * [div_num]

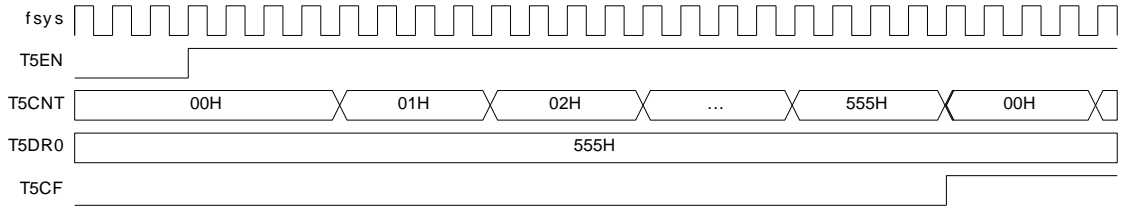


图 12.5.2 四分频定时模式时序图

该模式下在计数过程中将 T5RDEN 软件置“1”，即可从 T5DR1 寄存器读出计数值。一个系统时钟周期后 T5RDEN 自动清零。

12.5.3 独立模式单脉冲 PWM 模式

以通道 1 为例，在单脉冲模式独立模式下，计数器在 t5en 置位且 PWM 使能 pwmen 置位后开始工作，此时 PWM 波输出为高电平（不反相输出情况下）。当计数器计数值等于 (T5DR1-1)时，PWM 波输出翻转为低电平；当计数器计数值等于 T5DR0 时，PWMEN 位硬件复位为 0，且计数器清零并停止计数。

$$\text{PWM 周期} = (\text{T5DR0} + 1) * \text{fsys}$$

$$\text{PWM 占空比} = (\text{T5DR1}) * \text{fsys};$$

其余五个通道在独立模式下工作效果与通道 1 一致。

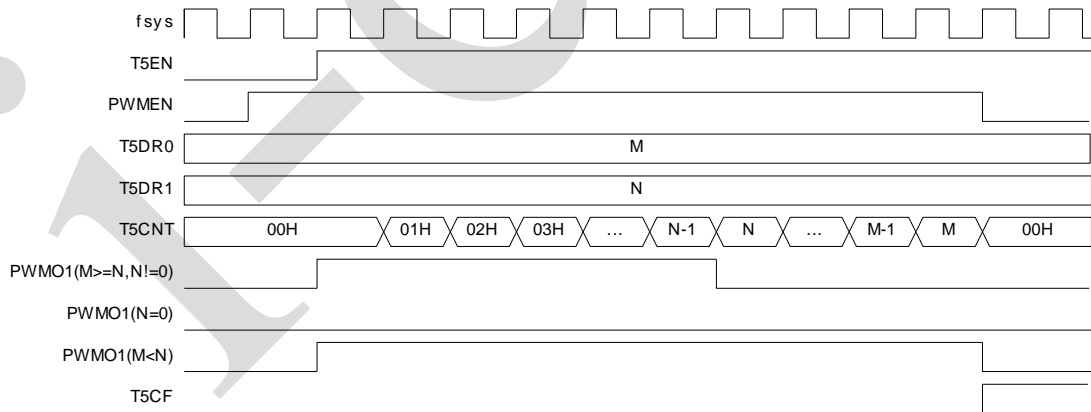


图 12.5.3 单脉冲 PWM 时序图



12.5.4 独立模式多脉冲 PWM 模式

以通道 1 为例，在多脉冲输出模式下，计数器在 T5EN 置位后就开始工作，不反相输出情况下（即 PWME 为 0），PWM 波输出高电平；每次计数值与（T5DR1-1）相等时，PWM 波输出翻转为低电平；每次计数值与 T5DR0 相等时，PWM 波输出再次翻转为高电平。

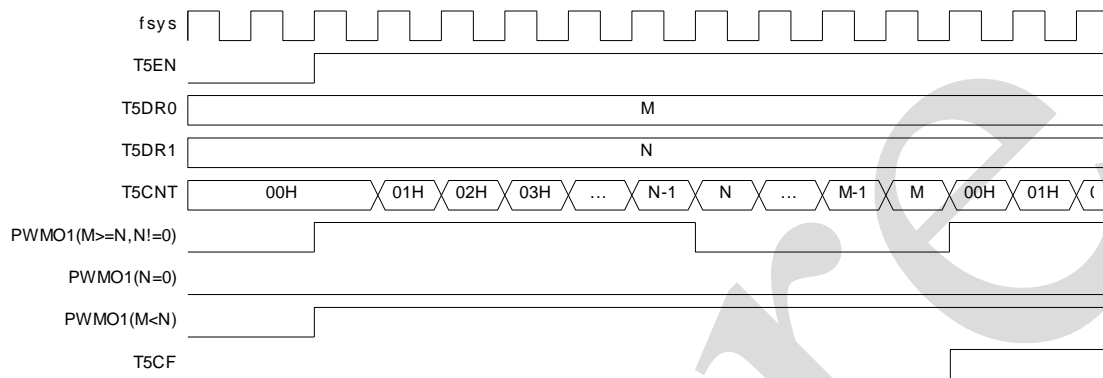


图 12.5.4 多脉冲 PWM 时序图

12.5.5 互补输出及死区控制

该定时器一共有 6 路 PWM 输出。当选择独立输出时，输出的 6 路 PWM 波信号由各自的占空比控制寄存器控制其占空比，周期相同，都由周期寄存器控制。当选择互补输出时，通道 1、2，通道 3、4，通道 5、6 分别组成 3 组互补输出，此时通道 2、4、6 的占空比控制寄存器为对应互补信号的死区宽度大小寄存器，并分别输出通道 1、3、5 输出信号的互补信号。

以通道 12 为例，当打开互补输出使能位 P2MS，PWMO2 的波形是主波形 PWMO1 的互补波形，即此时的通道 2 的占空比寄存器不再控制 PWMO2 的输出。

当配置定时器输出插入死区使能位 C12DE，配置通道 1、2 输出死区插入边沿控制位 C12DS 来选择插入死区边沿，设置 T5DR2L 寄存器为插入死区宽度大小。（死区宽度寄存器为开启互补后的 T5DR2L，T5DR4L，T5DR6L）

其中死区宽度算法如下：

假设 DT 表示其死区宽度，Tck 为当前系统时钟，T5DR2L 为死区宽度寄存器

$$T5DR2L [7:5] = 0xx \Rightarrow DT = T5DR2L [7:0] \times Tck \quad (D1)$$

$$T5DR2L [7:5] = 10x \Rightarrow DT = (64+T5DR2L [5:0]) \times (Tck \times 2) \quad (D2)$$

$$T5DR2L [7:5] = 110 \Rightarrow DT = (32+T5DR2L [4:0]) \times (Tck \times 8) \quad (D3)$$

$$T5DR2L [7:5] = 111 \Rightarrow DT = (32+T5DR2L [4:0]) \times (Tck \times 16) \quad (D4)$$

举例：若当前 Tck 为 62.5ns（16MHz），可能的死区时间为：

T5DR2L [7:0] = 0h 到 7Fh，0 到 7937.5ns，步长时间为 62.5ns（参考 D1）



T5DR2L [7:0] = 80h 到 BFh, 8 μ s 到 15875ns, 步长时间为 125ns (参考 D2)

T5DR2L [7:0] = C0h 到 DFh, 16 μ s 到 31.5 μ s, 步长时间为 0.5 μ s (参考 D3)

T5DR2L [7:0] = E0h 到 FFh, 32 μ s 到 63 μ s, 步长时间为 1 μ s (参考 D4)

若打开死区模式, 以多脉冲 PWM 模式从上升沿插入死区为例, 其输出波形相对于原先参考波形 (不开死区但是互补模式的波形) 时序图如下所示。其中 *dtr* 为死区长度寄存器, *dtr_count* 为死区递减计数器 (这两个寄存器用户无法访问)。

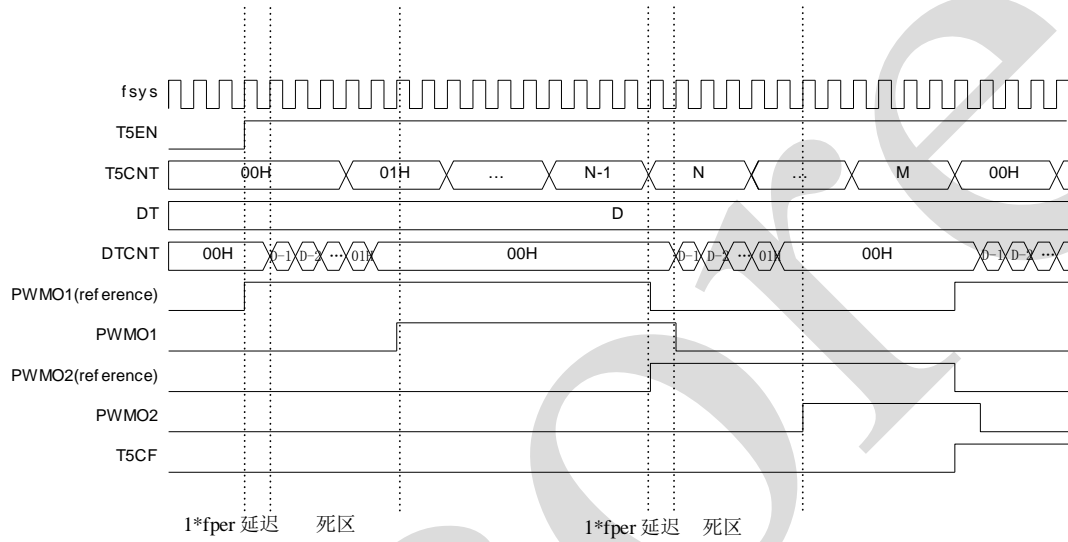


图 12.5.5 互补模式死区模式下的 PWM 时序图

注: *pwml(reference)*, *pwml2(reference)*为不开死区但是互补模式情况下的参考波形。 *pwmo1*, *pwmo2* 为当前情况 (死区模式开启) 下的实际波形。



13 WT

13.1 特性

该模块为基于 8051 外设总线的 8 位 Real Time Clock (RTC) 定时器，用于实现计数功能，当计数至用户设置的溢出值时，可以产生中断信号。其计数时钟可从 4 路时钟源中进行选择，并进行高精度及高溢出边界的计数过程。其计数范围为： 2^7 到 $2^{14} \times (256)$ 个计数时钟周期。

该模块包括 2 种计数模式：低 14 位计数模式及高 8 位计数模式。

当配置为低 14 位计数模式时，可配置 3 种溢出边界，分别为： 2^7 ， 2^{13} ，及 2^{14} 。当低 14 位计数器计数至溢出边界时，产生 WT 中断信号。

当配置为高 8 位计数模式时，由用户通过数据寄存器自定义计数器溢出边界。每过 2^{14} 个计数时钟周期，高 8 位计数器加 1，当高 8 位计数器的数值与数据寄存器内的数值相同后，高 8 位计数器溢出并产生 WT 中断信号。

- WT 计数器时钟可从 4 路时钟源中选择
- 高计数溢出边界，最高可计 $2^{14} \times (256)$ 个计数时钟周期
- 可以软件清 0 计数器

13.2 功能框图

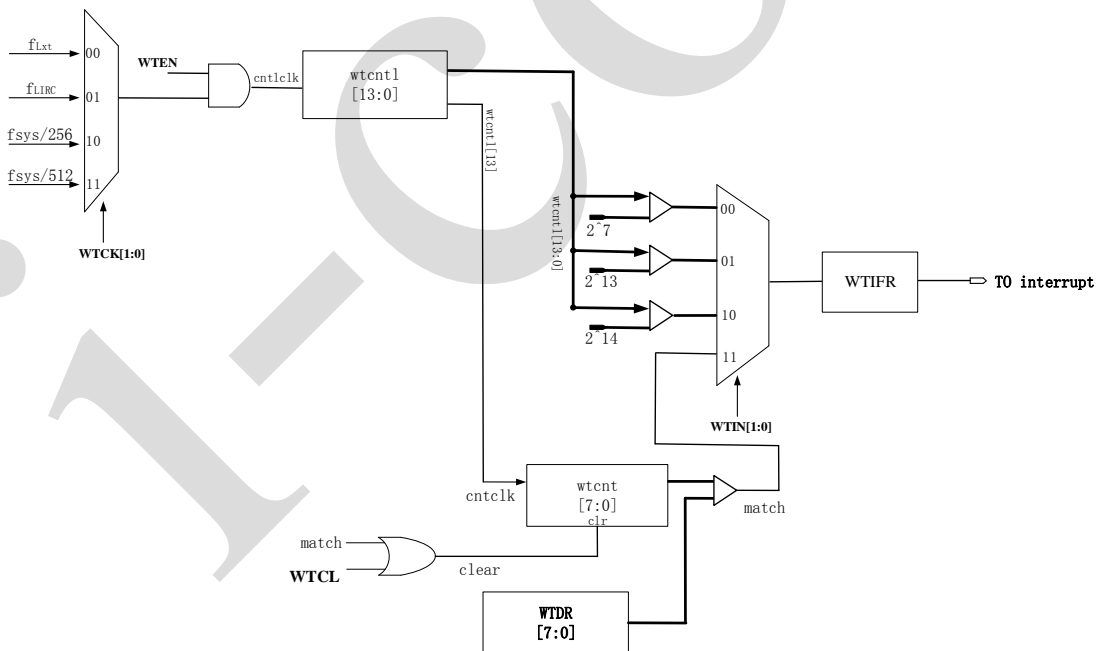


图 13.2.1 WT 功能框图



13.3 寄存器列表

表 13.3.1 WT 寄存器列表

寄存器名称	地址	描述	初值
WTCNT	89H	WT 计数器寄存器	00H
WTDR	89H	WT 溢出值寄存器	FFH
WTCR	96H	WT 控制寄存器	00H

13.4 寄存器说明

表 13.4.1 WTCNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WTCNT7	WTCNT6	WTCNT5	WTCNT4	WTCNT3	WTCNT2	WTCNT1	WTCNT0
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	WTCNT[7:0]	WT 计数寄存器

表 13.4.2 WTDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WTDR7	WTDR6	WTDR5	WTDR4	WTDR3	WTDR2	WTDR1	WTDR0
R/W	W	W	W	W	W	W	W	W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	WTDR[7:0]	设置 WT 溢出周期 WT 中断间隔= $f_{WTCK}/(2^{14} \times (7\text{bit WTDR Value}+1))$ 注：不要写入“0”

表 13.4.3 WTCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WTEN	—	WTCL	WTIFR	WTIN1	WTIN0	WTCK1	WTCK0
R/W	R/W	—	R/W	R/W0	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	WTEN	WT 控制操作 0: 除能 1: 使能
5	WTCL	WT 模块使能位 0: 无效 1: WT 计数器清零



表 835-11-B5

		该位有效仅清除 RTC 高 8 位计数器，低 14 位计数器计数值只能关闭 WT 或者由系统复位清除
4	WTIFR	当 WT 中断产生时置‘1’。写入 0 进行清除或通过 INT_ACK 信号自动清零，写‘1’没有影响。 0: 没有 WT 中断产生 1: WT 计数溢出 该标志位由软件写“0”清零
3-2	WTIN[1:0]	中断间隔选择 00: $f_{WTCK}/2^7$ 01: $f_{WTCK}/2^{13}$ 10: $f_{WTCK}/2^{14}$ 11: $f_{WTCK}/(2^{14} \times (7\text{bit WTDR Value}+1))$
1-0	WTCK[1:0]	定时器时钟选择 00: f_{LXT} 01: $f_{sys}/256$ 10: $f_{sys}/512$ 11: f_{LIRC}

13.5 功能说明

13.5.1 低 14 位计数模式

当配置 WTIN 为 00B、01B、或 10B 时，该 WT 模块为低 14 位计数模式。通过 WTCK 选择的时钟会驱动 WT 低 14 位计数器 wtcntl 向上递增计数，当低 14 位计数器计数值与用户通过 WTIN 设置的数值相等后，计数器溢出并产生 WT 中断信号 WTIFR。WTIFR 可通过程序进行软件清零。

如下图为选择 WT 驱动时钟为 $f_{sys}/256$ ，计数溢出值为 2^{13} 时的时序图。

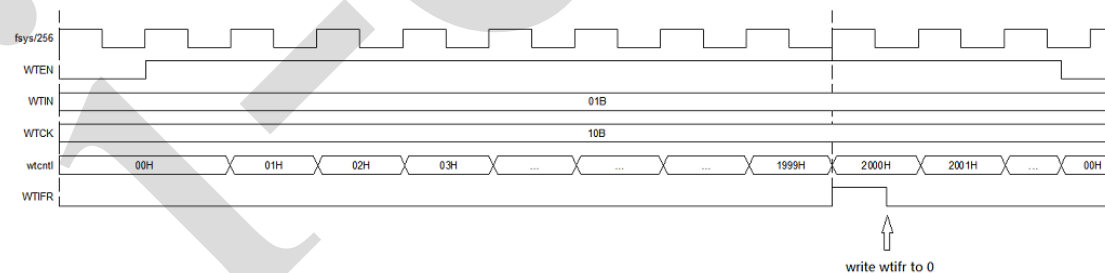


图 13.5.1 WT 低 14 位计数模式



13.5.2 高 8 位计数模式

当配置 WTIN 为 11B 时，该 WT 为高 8 位计数模式。在该模式下，通过 WTCK 所选时钟每过 2^{14} 个时钟周期会驱动 WT 高 8 位计数器 WTCNT 递增计数。当 WTCNT 的计数值与 WT 溢出值寄存器 WTDR 相等后，WTCNT 溢出并产生 WT 中断信号 WTIFR。

高 8 位计数模式下，WTCNT 上溢时间为：

$$\text{WT 中断间隔} = \text{WT 驱动时钟周期} \times 2^{14} \times (\text{WTDR value} + 1)$$

如下图为 WT 高 8 位计数模式的时序图。图中的 cntclk 的周期为通过 WTCK 所选时钟的 2^{14} 个时钟周期时间，cntclk 会驱动 WTCNT 向上递增计数，在 WTCNT 向上计数的过程中，可通过对 WTCL 写 1 来清除 WTCNT 的值。当 WTCNT 的值与 WTDR 内的值相等后，WT 标志位 WTIFR 置起，该标志位可以用程序对其写零实现软件清零。

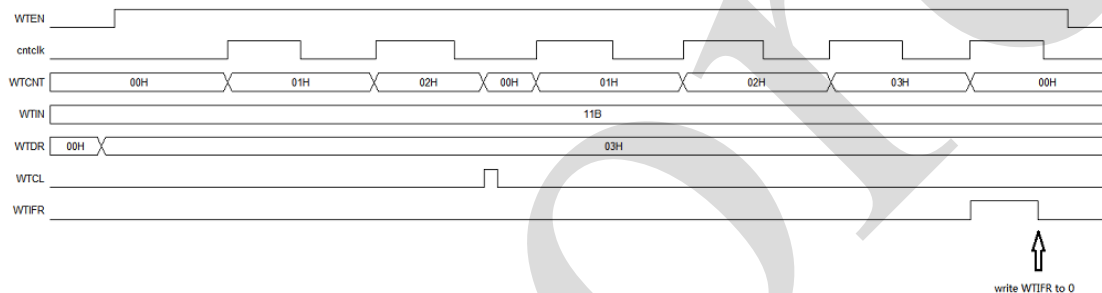


图 13.5.2 WT 高 8 位计数模式



14 WDT

14.1 特性

该基于 8051 外设总线的 8 位 WDT (看门狗定时器) 用于防止由于程序错误或硬件部件冲突造成的系统死机, 其通过产生的看门狗复位信号使系统复位, 从而使系统恢复至正常状态。该 WDT 也可配置为一个可以产生中断信号的定时器。其顶层包括一个 WDT 复位信号输出口及一个 WDT 中断标志信号输出口, 用于 WDT 复位及 WDT 中断服务。其内部计数器的计数时钟源及溢出边界由用户配置。看门狗计数器 (WDTCNT) 上溢时, 根据用户的配置, 产生 WDT 复位信号或产生 WDT 中断信号。

- 可配置看门狗计数器的溢出时间
- 可选择 fsys 的分频时钟或 LIRC 作为看门狗计数器的驱动时钟
- 可根据用户配置, 使能看门狗复位功能, 或只使其作为一个独立运行的定时器
- 支持由程序进行“喂狗”操作, 即软件清零看门狗计数器

14.2 功能框图

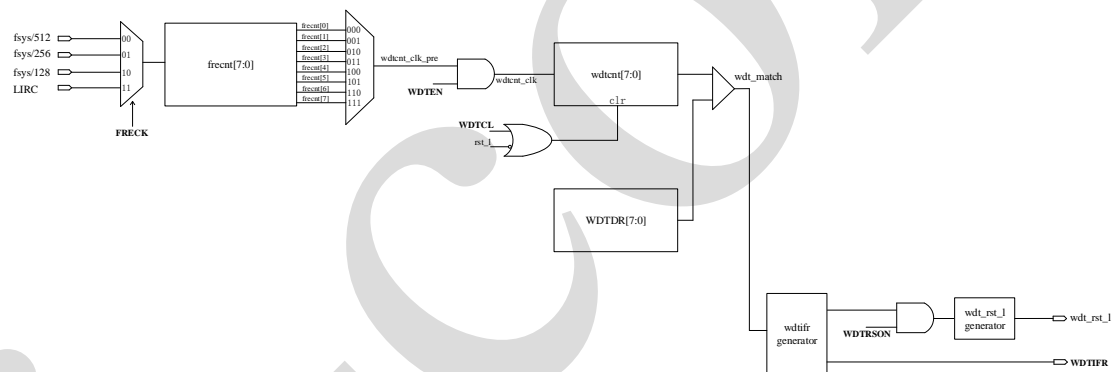


图 14.2.1 看门狗定时器功能框图

14.3 寄存器列表

表 14.3.1 WDT 寄存器列表

寄存器名称	地址	描述	初值
WDTDR	8AH	WDT 溢出值寄存器	FFH
WDTCNT	8AH	WDT 计数器	00H
FRECR	8EH	预分频控制寄存器	01H
FRECNT	8FH	WDT 预分频计数器	00H
WDTCR	92H	WDT 控制寄存器	00H



14.4 寄存器说明

表 14.4.1 WDTDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDTDR[7:0]							
R/W	W	W	W	W	W	W	W	W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	WDTDR[7:0]	WDT 数据寄存器 设置计数周期，当 WDCNT 计数到预置的 WDTDR 时溢出

表 14.4.2 WDCNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDCNT[7:0]							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	WDCNT[7:0]	WDT 计数器 读 WDTDR 返回 WDCNT 计数值

表 14.4.3 FRECR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	FRECK[1:0]		—	FRECLR	FRESEL[2:0]		
R/W	—	R/W	R/W	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	1

位	字段	描述
6-5	FRECK[1:0]	预分频器时钟选择控制位 00: fsys/512 01: fsys/256 10: fsys/128 11: fLIRC
3	FRECLR	预分频软件清零 0: 无效 1: 预分频计数器清零（一个时钟周期后该位自动复位）
2-0	FRESEL[2:0]	预分频器分频控制位 000: 2分频 001: 4分频



表 835-11-B5

		010: 8 分频 011: 16 分频 100: 32 分频 101: 64 分频 110: 128 分频 111: 256 分频
--	--	---

表 14.4.4 FRECNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	FRECNT[7:0]							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	FRECNT[7:0]	预分频计数器

表 14.4.5 WDTCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDTEN	WDTRSON	WDTCL	—	—	—	WDTCK	WDTIFR
R/W	R/W	R/W	R/W	—	—	—	R/W	R/W0
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	WDTEN	WDT 使能 0: WDT 模块关闭 1: WDT 模块使能
6	WDTRSON	WDT 工作模式选择 0: WDT 模块作为 8-bit 独立运行定时器 1: WDT 模块产生复位信号
5	WDTCL	WDT 定时器清零位 0: 无效 1: WDT 计数器清零 (一个时钟周期后该位自动复位)
1	WDTCK	时钟选择 0: 预分频器提供 WDT 时钟 1: $f_{LIRC}/256$ 作为 WDT 时钟
0	WDTIFR	WDT 中断标志位 0: 没有中断产生 1: 产生 WDT 中断 该标志位置位后软件写“0”清除



14.5 功能说明

14.5.1 看门狗复位模式

该看门狗定时器（WDT）可以将因程序错误或硬件冲突造成的系统死机通过复位的方式解除。其实现方式为，若未在一段时间内对 WDT 进行“喂狗”操作，WDT 会产生 WDT 低电平复位信号，用于系统复位。

WDT 计数器会根据用户的配置进行递增计数，每当 WDTCNT 溢出时，根据用户的配置决定是否生成复位信号，计数器在计数过程中，可以由程序进行“喂狗”操作，使计数器清 0 并重新从零向上递增计数。计数器的驱动时钟及溢出边界由用户进行配置，“喂狗”操作则由用户编写的程序执行。

其中，当 WDTCK 为 0 时，WDTCNT 的溢出时间由 FRESEL 所选的分频时钟与 WDTDR 内的数值决定。

计算公式为：

$$\text{WDTCNT 溢出时间} = \text{分频时钟周期} \times (\text{WDTDR value} + 1)$$

当 WDTCK 为 1 时，WDTCNT 的溢出时间由 LIRC 的时钟周期的 256 分频与 WDTDR 内的数值决定

计算公式为：

$$\text{WDTCNT 溢出时间} = \text{LIRC 时钟周期} \times 256 \times (\text{WDTDR value} + 1)$$

下图为 WDTRSON 使能时，WDT 复位功能时序图。

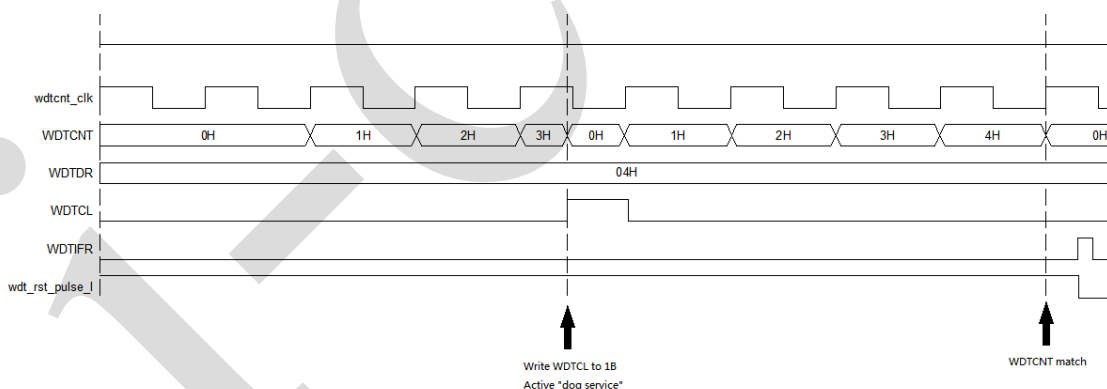


图 14.5.1 WDT 复位功能时序图

wdtcnt_clk 为通过 WDTCK 控制位配置的 WDTCNT 驱动时钟，其会驱动 WDTCNT 计数寄存器进行计数。当 wden 使能后，WDTCNT 在 wdtcnt_clk 的驱动下开始递增计数，若在计数过程中对 WDTCL 写 1（喂狗）操作，则 wdtcl 信号置起且 WDTCNT 清 0，图中 wdtcl 信号会在 1 个周期后被硬件清 0，之后 WDTCNT 会在 wdtcnt_clk 的驱动下重新开始向上递增计数。当计数器溢出后（计数至 WDTDR 的值，图中为 04H）。会产生 WDT 中断标志信号 wdtifr，此时若使能了 WDTRSON，则会产生 WDT 低电平有效复位信号(wdt_rst_1)，



其会对系统进行复位。

14.5.2 看门狗定时器模式

当 WDTRSON 未使能时，WDT 为一个计数器，其功能如下图所示

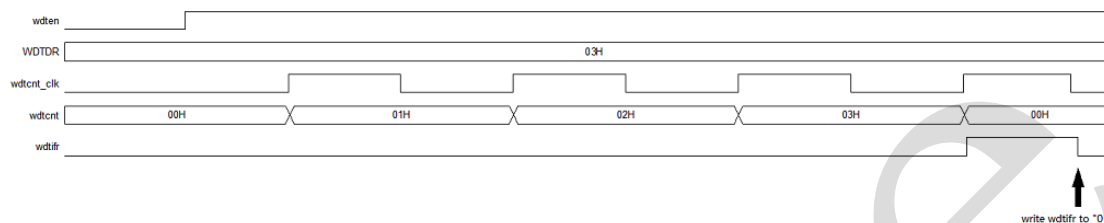


图 14.5.2WDT 计数功能时序图

wdtcnt_clk 为通过 WDTCK 控制位配置的 WDTCNT 驱动时钟，其会驱动 WDTCNT 计数寄存器进行计数。当 wden 使能后，WDTCNT 会在 wdtcnt_clk 的驱动下开始递增计数，若未使能 WDTRSON 控制位，则 WDT 会作为一个定时器运行，当计数器溢出时（计数至 WDTDR 的值）。会产生 WDT 中断标志信号 wdtifr。

其中，当 WDTCK 为 0 时，WDTCNT 的溢出时间由 FRESEL 所选的分频时钟与 WDTDR 内的数值决定。

计算公式为：

$$\text{WDTCNT 溢出时间} = \text{分频时钟周期} \times (\text{WDTDR value} + 1)$$

当 WDTCK 为 1 时，WDTCNT 的溢出时间由 LIRC 的时钟周期的 256 分频与 WDTDR 内的数值决定。

计算公式为：

$$\text{WDTCNT 溢出时间} = \text{LIRC 时钟周期} \times 256 \times (\text{WDTDR value} + 1)$$



15.3 寄存器列表

表 15.3.1 UART 寄存器列表

寄存器名称	地址	描述	初值
UART1CR1	C1H	UART1 控制寄存器 1	00H
UART1CR2	C2H	UART1 控制寄存器 2	00H
UART1CR3	C3H	UART1 控制寄存器 3	00H
UART1DR	C5H	UART1 数据寄存器	00H
UART1SR	C4H	UART1 状态寄存器	C0H
UART1BRR1	C6H	UART1 波特率控制寄存器 1	00H
UART1BRR2	C7H	UART1 波特率控制寄存器 2	00H
UART2CR1	C9H	UART2 控制寄存器 1	00H
UART2CR2	CAH	UART2 控制寄存器 2	00H
UART2CR3	CBH	UART2 控制寄存器 3	00H
UART2DR	CCH	UART2 数据寄存器	00H
UART2SR	CDH	UART2 状态寄存器	C0H
UART2BRR1	CEH	UART2 波特率控制寄存器 1	00H
UART2BRR2	CFH	UART2 波特率控制寄存器 2	00H

15.4 寄存器说明

表 15.4.1 UARTnCR1(n=1~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	PCEN	PS	M	RWU	RWUF	PIEN
R/W	—	—	R/W	R/W	R/W	R/W	R/W0	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5	PCEN	奇偶校验控制使能 0: 奇偶校验控制被禁用 1: 奇偶校验控制被使能
4	PS	奇偶校验选择 0: 偶校验 1: 奇校验
3	M	选择帧数据长度 0: 8 bit 1: 9 bit
2	RWU	静默模式使能 0: 接收器处于正常工作模式 1: 接收器处于静默模式
1	RWUF	接收唤醒标志 0: 静默模式下接收到的地址不匹配 1: 静默模式下接收到的地址匹配



表 835-11-B5

0	PIEN	校验中断使能 0: 中断被禁止 1: 当 UARTSR 中的 PE 为 1 时, 产生 UART 中断
---	------	---

表 15.4.2 UARTnCR2(n=1~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TIEN	TCIEN	RIEN	WAKEIE	TEN	REN	UARTEN	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TIEN	发送中断使能 0: 中断被禁止 1: 当 UARTSR 中的 TXE 为 1 时, 产生 UART 中断
6	TCIEN	发送完成中断使能 0: 中断被禁止 1: 当 UARTSR 中的 TC 为 1 时, 产生 UART 中断
5	RIEN	接收中断使能 0: 中断被禁止 1: 当 UARTSR 中的 OVR 或者 RXNE 为 1 时, 产生 UART 中断
4	WAKEIE	UART 在 STOP 模式唤醒中断使能 0: 唤醒中断被禁止 1: 当 WAKE 置位时请求中断
3	TEN	发送使能 0: 发送被禁止 1: 发送被使能
2	REN	接收使能 0: 接收被禁止 1: 接收被使能
1	UARTEN	UART 模块使能 0: UART 模块禁止 1: UART 模块使能

表 15.4.3 UARTnCR3(n=1~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADDR3	ADDR2	ADDR1	ADDR0	—	STOP	T8	R8
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-4	ADDR[3:0]	UART 从机地址
2	STOP	停止位选择



表 835-11-B5

		0: 1 个停止位 1: 2 个停止位
1	T8	发送数据位 8 0: 发送数据为 0 1: 发送数据为 1
0	R8	接收数据位 8 0: 接收数据为 0 1: 接收数据为 1

表 15.4.4 UARTnDR(n=1~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	UARTDR[7:0]							
R/W	R/W							
POR	0x00							

位	字段	描述
7-0	UARTDR[7:0]	UART 数据寄存器

表 15.4.5 UARTnSR(n=1~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TXE	TC	RXNE	WAKE	SOFRST	OVR	FE	PE
R/W	R	R/W0	R/W0	R/W0	R/W	R/W0	R/W0	R/W0
POR	1	1	0	0	0	0	0	0

位	字段	描述
7	TXE	发送数据寄存器空 0: 数据还没有被转移到移位寄存器 1: 数据已经被转移到移位寄存器
6	TC	发送完成 0: 发送还未完成 1: 发送完成
5	RXNE	接收数据寄存器非空 0: 数据没有收到 1: 收到数据, 可以读出
4	WAKE	UART 唤醒中断标志位 0: 没有唤醒中断产生 1: 产生唤醒中断
3	SOFRST	UART 软件复位 0: 无操作 1: 复位 UART
2	OVR	溢出错误



表 835-11-B5

		0: 没有溢出错误 1: 检测到溢出错误
1	FE	帧错误 0: 没有检测到帧错误 1: 检测到帧错误
0	PE	奇偶检验错误 0: 没有检测到奇偶校验错误 1: 检测到奇偶校验错误

表 15.4.6 UARTnBRR1(n=1~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	UARTBRR1[7:0]							
R/W	R/W							
POR	0x00							

位	字段	描述
7-0	UARTBRR1[7:0]	UARTn 波特率控制寄存器 1

表 15.4.7 UARTnBRR2(n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	UARTBRR2[7:0]							
R/W	R/W							
POR	0x00							

位	字段	描述
7-0	UARTBRR2[7:0]	UARTn 波特率控制寄存器 2



15.5 功能说明

15.5.1 数据格式

UART 通过 TX 引脚发送数据，由 RX 引脚接收数据。数据可以由 UARTCR1 中的 M 控制位选择 8bit 或 9bit 数据格式，具有可编程的奇偶校验使能位和可编程的停止位个数。

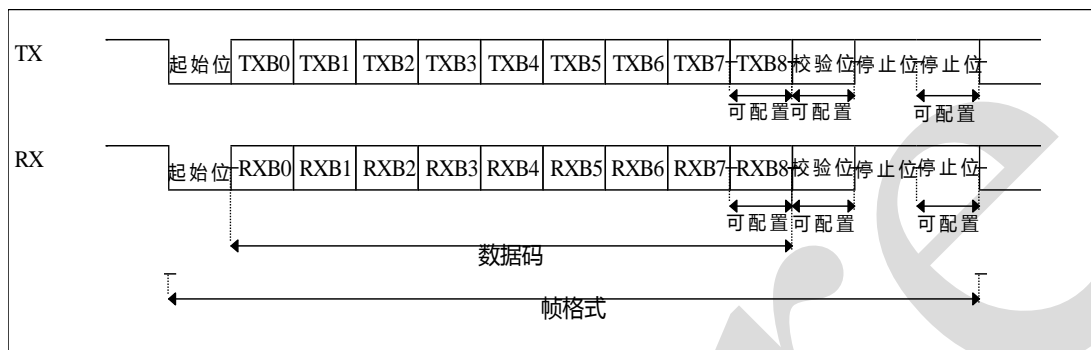


图 15.5.1 UART 数据格式图

15.5.2 发送器

发送器根据 M 位的状态发送 8 位或 9 位的数据字。当 M 位置 1，字长为 9 位，并且第九位(MSB)应该写入寄存器 UARTCR1 的 T8 位，当发送使能位(TEN)被设置时，发送移位寄存器中的数据在 TX 脚上输出。

15.5.3 接收器

UART 可以接收 8 位或 9 位的数据字。如果 M 位置 1，字长为 9 位，其中 MSB 存放在寄存器 UARTCR1 的 R8 位，在 UART 接收期间，数据的最低有效位首先从 RX 脚移进。在此模式里，UARTDR 寄存器有一个缓冲器，位于内部总线和接收移位寄存器之间。

15.5.4 高精度波特率发生器

接收器和发送器的波特率可按照下面的公式通过配置 16 位除法器 UARTDIV 来设置：

$$BaudRate = \frac{Fclk}{16 \times (2^{10} - UARTBD) + Fraction}$$

UARTBD = UARTBRR2[5:4]+UARTBRR1[7:0]

Fraction = UARTBRR2[3:0]

UARTDIV 是一个无符号的整数，存储在寄存器 BRR1 和 BRR2 中。

例：Fclk =16MHz，需要得到 115200Hz 的波特率，UARTBD 和 Fraction 值计算方法如



下:

$$16000000/115200/16 = 8.6805$$

$$\text{UARTBD} = 1024 - 8 = 1016$$

由 BaudRate 计算公式: $115200 = 16000000/(16 \times 8 + \text{Fraction})$

得到: $\text{Fraction} = 10.88 \approx 11$

$10'd1016 = 8'h3F8$, $10'd11 = 8'hB$; 故 $\text{UARTBRR1} = 8'hF8$, $\text{UARTBRR2} = 8'h3B$

波特计数器会在对寄存器 BRR1 写入新值时更新为新的波特率寄存器值, 应当在写寄存器 BRR1 前, 先写寄存器 BRR2。

表 15.5.1 波特率设置举例

Baud Rate	f _{sys} =16MHz			f _{sys} =8MHz		
	UARTBRR1	UARTBRR2	ERROR	UARTBRR1	UARTBRR2	ERROR
2400	0x60	0x2A	0.01%	0x30	0x35	0.01%
4800	0x30	0x35	0.01%	0x98	0x33	-0.02%
9600	0x98	0x33	-0.02%	0xCC	0x31	0.04%
14.4k	0xBB	0x37	0.01%	0xDE	0x3C	-0.08%
19.2k	0xCC	0x31	0.04%	0xE6	0x31	-0.08%
28.8k	0xDE	0x3C	-0.08%	0xEF	0x36	-0.08%
38.4k	0xE6	0x31	-0.08%	0xF3	0x30	0.16%
57.6k	0xEF	0x36	-0.08%	0xF8	0x3B	-0.08%
115.2k	0xF8	0x3B	-0.08%	0xFC	0x35	0.64%
230.4k	0xFC	0x35	0.64%	0xFE	0x33	-0.79%

15.5.5 奇偶校验

奇偶校验控制(发送时生成一个奇偶位, 接收时进行奇偶校验)可以通过设置 UARTCR1 寄存器上的 PCEN 位而激活。此时数据帧的格式为:

|起始位|8/9 位数据|奇偶校验位|1/2 位停止位

接收模式: 如果奇偶校验失败, UARTSR 寄存器中的 PE 标志被置“1”, 并且如果 UARTCR1 寄存器的 PIEN 在被预先置 1 的话, 会产生中断。

发送模式: 如果 UARTCR1 的 PCEN 位被置位, 则在数据的 MSB 位发送后, 将校验位发送出去(根据 PS 值来选择偶校验还是奇校验), 之后再发送停止位。



15.5.6 多处理器通讯

在多处理器配置中，只有被寻址的接收者被激活，才接收随后的数据，这样就可以减少由未被寻址的接收器的参与带来的多余的 UART 服务开销。

多处理器通信模式下，未被寻址的设备处于静默模式。在静默模式里：

- 任何接收状态位都不会被设置
- 所有接收中断被禁止
- UARTCR1 寄存器中的 RWU 位被置 1

在多处理器通信模式里，如果数据 MSB 位是 1，该字节被认为是地址，否则被认为是数据。在一个地址字节中，目标接收器的地址被放在 4 个 LSB 中。这个 4 位地址被接收器同它自己地址做比较，接收器的地址被编程在 UARTCR2 寄存器的 ADDR 位域中。

15.5.7 标志位

- 发送缓冲器空标志(TXE)

当 UARTDR 寄存器中的数据被硬件转移到移位寄存器的时候，该位被硬件置位。如果 TIEN 位为 1，则产生中断，对 UARTDR 寄存器的写操作会使该位清零。

- 接收缓冲器非空(RXNE)

当移位寄存器中的数据被转移到 UARTRDR 寄存器中时该位被硬件置位，如果 RIEN 为 1 则产生中断，软件写零清零该标志位。

- 发送完成标志位(TC)

当一帧数据发送完毕后由硬件将该位置位，若 TCEN 置位则产生中断，可软件写零清除该标志位，对 UARTDR 寄存器的写操作也会清零该标志位。

- 接收唤醒标志位(RWUF)

当 UART 处于静默模式且接收到的地址和设定的本机地址匹配时硬件置位该标志位，RWUF 置位后若下一个接收到的地址不匹配或者 RWU 清零时硬件自动清零 RWUF，RWUF 也可以软件写零清零。

- 溢出标志位(OVR)

当 RXNE=1 且接收到的下一个数据准备写入到 UARTRDR 寄存器时 OVR 标志位被硬件置位，OVR 置位后所有之后传送的字节都被丢弃，软件写零清除该标志位。

- 帧错误标志位(FE)

当检测到错误的停止位时硬件自动置位 FE 标志位，软件写零清除 FE 标志位。

- 奇偶检验错误标志位(PE)

在接收模式下使能奇偶校验若出现奇偶校验错误硬件自动置位 PE，若 PIEN 为 1 则产生中断，软件写零清除该标志位。



- 唤醒标志位(WAKE)

STOP 模式下 UART 检测到 RX 引脚拉低时置位 WAKE, 若 WAKEIE 置位则产生中断, 软件写零清除 WAKE 标志位。

15.5.8 中断

UART 共有 5 个中断触发源: TXE、TC、RXNE、PE 和 WAKE, 每个中断触发源都有单独的使能控制信号。

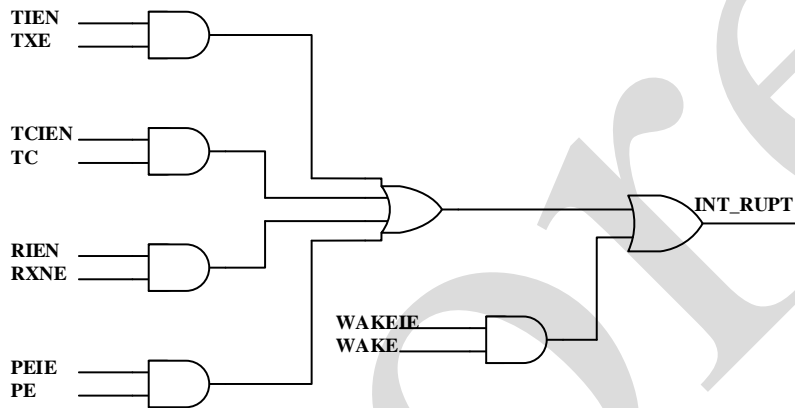


图 15.5.2UART 中断框图

15.5.9 软件复位功能

UART 可置位 SOFTRST 来初始化 UART 模块, SOFTRST 控制位置位后硬件自动清零。



16 SPI

16.1 特性

该模块支持基于 SPI 协议的全双工，同步，串行通信方式。其通过串行时钟 SCK、数据线 MISO、数据线 MOSI、以及片选信号 NSS 进行基于 SPI 协议的通讯。该模块串行时钟相位及极性可选，数据发送顺序可选，并支持主及或从机模式通讯。

- 三线全双工同步传输
- 可配置的 8 个主模式串行时钟频率(最快为 $f_{sys}/2$)
- 可编程的时钟极性和相位
- 可配置的数据发送顺序，MSB 在前或者 LSB 在前
- 支持三种中断：发送缓冲器空、接受缓冲器空和错误中断
- 可软件配置 MISO 和 MOSI 引脚功能交换

16.2 功能框图

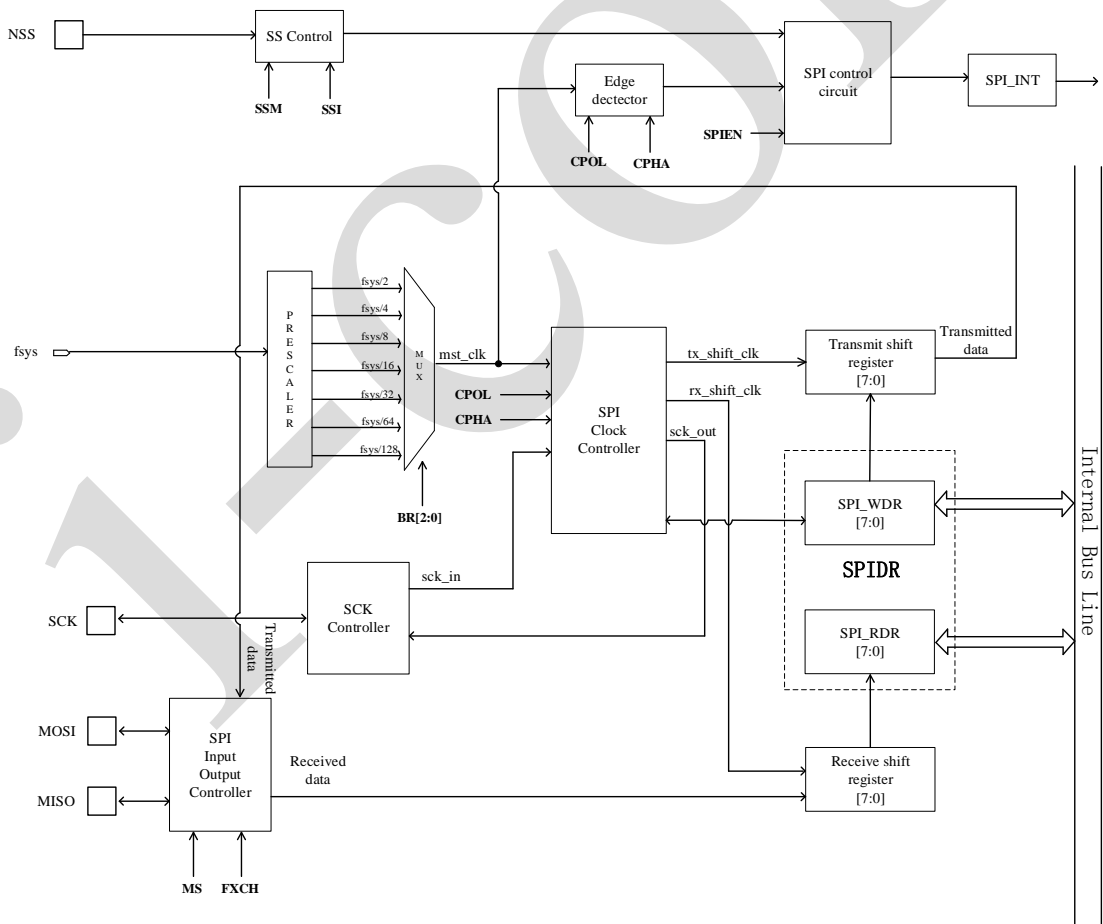


图 16.2.1 SPI 功能框图



16.3 寄存器列表

表 16.3.1 SPI 寄存器列表

寄存器名称	地址	描述	初值
SPICR1	DAH	SPI 控制寄存器 1	00H
SPICR2	DBH	SPI 控制寄存器 2	00H
SPISR	DCH	SPI 状态寄存器	02H
SPIDR	DDH	SPI 数据寄存器	00H

16.4 寄存器说明

表 16.4.1 SPICR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SPIEN	DIR	MSTR	CPOL	CPHA	BR[2:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	SPIEN	SPI 使能控制位 0: SPI 模块禁止 1: SPI 模块使能
6	DIR	SPI 数据帧格式 0: 先发送低字节 (LSB) 1: 先发送高字节 (MSB)
5	MSTR	SPI 主从模式选择 0: 从设备 1: 主设备
4	CPOL	SPI 管脚控制状态 0: 空闲状态 SCK 保持 0 1: 空闲状态 SCK 保持 1
3	CPHA	SPI 数据采样格式 0: SCK 周期的第一个沿采样数据 1: SCK 周期的第二个沿采集数据
2-0	BR[2:0]	SPI 工作时钟选择 000: fsys/4 001: fsys/16 010: fsys/64 011: fsys/128 100: fsys/2 101: fsys/8 110: fsys/32 111: fsys/64



表 16.4.2 SPICR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TXIE	RXIE	ERRIE	BMSY	MODF	—	—	—
R/W	R/W	R/W	R/W	R	R/W0	—	—	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TXIE	发送缓冲空中断使能 0: TXE 中断禁止 1: TXE 中断使能
6	RXIE	接收缓冲器非空中断使能 0: RXNE 中断禁止 1: RXNE 中断使能
5	ERRIE	错误中断使能 0: 禁止 1: 使能
4	BMSY	总线忙标志 0: SPI 空闲 1: SPI 忙于通信, 或者 TX 缓冲区非空
3	MODF	模式错误标志 0: 没有发生模式错误 1: 发生模式错误

表 16.4.3 SPISR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SPIIFR	OVR	SS_HIGH	—	FXCH	SSENA	TXE	RXNE
R/W	R/W0	R/W0	R/W0	—	R/W	R/W	R	R/W0
POR	0	0	0	0	0	0	1	0

位	字段	描述
7	SPIIFR	SPI 中断标志位 0: 没有中断产生 1: 有中断产生
6	OVR	溢出标志位 0: 没有发生溢出错误 1: 有发生溢出错误
5	SS_HIGH	NSS 引脚状态标志 0: 写 0 清零 1: 高电平进入 NSS 引脚
3	FXCH	SPI 端口控制位 0: 无影响 1: 更换 MOSI 和 MISO 端口功能



表 835-11-B5

2	SSENA	NSS 引脚控制位 0: 禁止外部 NSS 引脚输入 1: NSS 引脚的值由外部引脚控制
1	TXE	发送缓冲区空标志位 0: 发送缓冲区非空 1: 发送缓冲区空
0	RXNE	接受缓冲区空标志 0: 接收缓冲区空 1: 接收缓冲区非空

表 16.4.4 SPIDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SPIDR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	SPIDR[7:0]	SPI 数据寄存器

16.5 功能说明

16.5.1 数据收发

SPI 通讯协议中，根据选择的空闲模式下串行时钟(SCK)的相位(空闲时为高/低电平)以及采样边沿的选择(第一个沿及后续奇数沿/第二个沿及后续偶数沿)，可以组成 4 种极性相位组合的采样时序。对于该模块，SCK 在空闲时的相位可由 CPOL 配置，数据被采样的边沿可由 CPHA 配置。

对于串行时钟 SCK，当配置该 SPI 为主机时，由该模块内部产生。其频率由 BR[2:0]配置。当配置该 SPI 为从机时，SCK 为从主机接收的时钟。

当 CPHA 为 0 时，从模式下数据的收发时序如下图所示

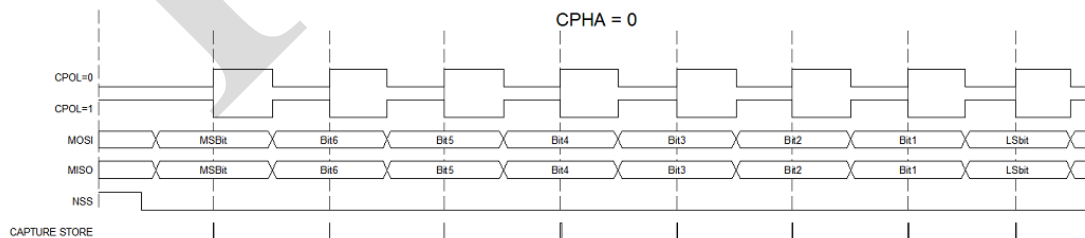


图 16.5.1 CPHA 为 0 时的 SPI 收发时序

如图所示，当配置 CPHA 为 0 时：

若配置 CPOL 为 0，则 SPI 在空闲模式时，SCK 为低电平。数据会在 SCK 第一个沿(上



升沿)及后续的奇数沿(上升沿)被采样, 数据会在第二个沿(下降沿)及后续的偶数沿(下降沿)被准备。

若配置 CPOL 为 1, 则 SPI 在空闲模式时, SCK 为高电平。数据会在 SCK 第一个沿(下降沿)及后续的奇数沿(下降沿)被采样, 数据会在第二个沿(上升沿)及后续的偶数沿(上升沿)被准备。

当 CPHA 为 1 时, 从模式下数据的收发时序如下图所示

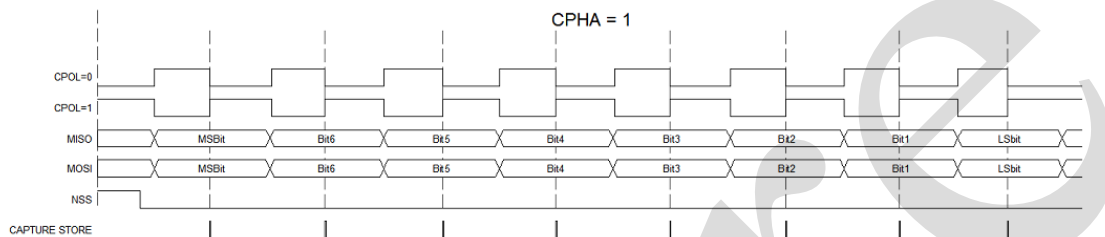


图 16.5.2 CPHA 为 1 时的 SPI 收发时序

如图所示, 当配置 CPHA 为 1 时:

若配置 CPOL 为 0, 则 SPI 在空闲模式时, SCK 为低电平。数据会在 SCK 第二个沿(下降沿)及后续的偶数沿(下降沿)被采样, 数据会在第一个沿(上升沿)及后续的奇数沿(上升沿)被准备。

若配置 CPOL 为 1, 则 SPI 在空闲模式时, SCK 为高电平。数据会在 SCK 第二个沿(上升沿)及后续的偶数沿(上升沿)被采样, 数据会在第一个沿(下降沿)及后续的奇数沿(下降沿)被准备。

16.5.2 NSS 引脚管理

NSS 为该 SPI 的片选信号, 由控制位 SENA 对其进行控制。当配置 SENA 为 0 时, NSS 的输入电平由模块内部产生, 从机时为 0, 主机时为 1。在不需要使用 NSS 引脚的时候, 应配置 SENA 为 0。当配置 SENA 为 1 时, 内部 NSS 的电平由外部引脚决定。内部 NSS 引脚电路原理图如下图所示

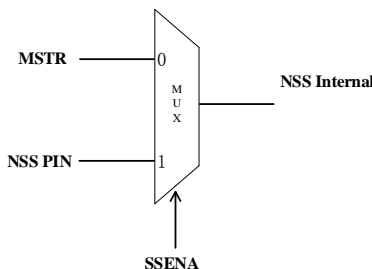


图 16.5.3 NSS 引脚管理图



16.5.3 SPI 标志位信号

(1) 总线忙标志 (BMSY)

该标志位表明 SPI 总线上是否有正在进行的通信。当该标志位为 1 时, 表明 SPI 正在进行数据收发, 或是在发送缓冲器里面有一个有效的数据正在等待被发送。

以下情况时此标志位将被置 1:

- 主机模式时, 数据被写入 SPIDR 寄存器。
- 从机模式时, SCK 正在被从时钟引脚上接受。

当完成一个字节的收发后, BMSY 标志位会立即置零; 该标志位由硬件控制, 写此标志位无效。监视该标志位可以避免写冲突错误。当 SPIEN 置 1 时, 该标志位有效。

(2) 发送缓冲器空标志 (TXE)

当发送缓冲器为空时, 该标志位为 1。当有数据被写入进发送缓冲器而使发送缓冲器有一个待发送的数据时, 发送缓冲器为 0。只有当 SPIEN 为 1 时该标志位有效, 当 SPIEN 为 0 时该标志位为 0。

(3) 接受缓冲器非空 (RXNE)

当 SPI 完成一个字节的数据的接收后, 该标志位置 1, 表示接收缓冲器中包含被接收的有效数据。该标志位需要软件写 0 清除。

(4) 模式错误 (MODF)

当片选信号被配置为由外部引脚输入时(SSENA=1): 在主机模式下 NSS 引脚接收到低电平, 或从机模式下 NSS 引脚接收到高电平, 则 MODF 标志位置 1。

当片选信号被配置为由模块内部产生时(SSENA=0): 在主机模式下 SSI 被复位或在从机模式下 SSI 被置位, 则 MODF 置 1。

MODF 标志位由硬件置 1, 软件清 0。

MODF 标志位会对 SPI 模块有如下影响:

- MODF 位被置位时, 若 ERRIE 配置为 1, 则产生 SPI 中断。
- SPIEN 位被复位, 所有 SPI 模块的输出信号停止发送, 并且关闭 SPI 接口。
- MSTR 位被硬件清 0, 迫使 SPI 模块进入从机模式。

(5) 溢出错误 (OVR)

在 RXNE 标志位由于接收到 1 个字节的数据而置起后, 若在下一个字节的数据被从引脚上被接受时, RXNE 没有被软件清 0, 则 OVR 标志位会置起。当 ERRIE 被配置为 1 时, 会产生 SPI 中断。

(6) 中断标志位 (SPIIFR)



该位表明 SPI 是否产生中断，执行中断后硬件清 0 或软件清 0。

(7) NSS 引脚状态标志位 (SS_HIGH)

在 NSS 引脚被配置为由外部引脚输入时，SS_HIGH 用于指示 NSS 引脚状态。当 NSS 引脚输入为高时，SS_HIGH 置 1；当 NSS 引脚输入为低时，SS_HIGH 位清 0。该标志位可由软件清 0。

16.5.4 SPI 中断

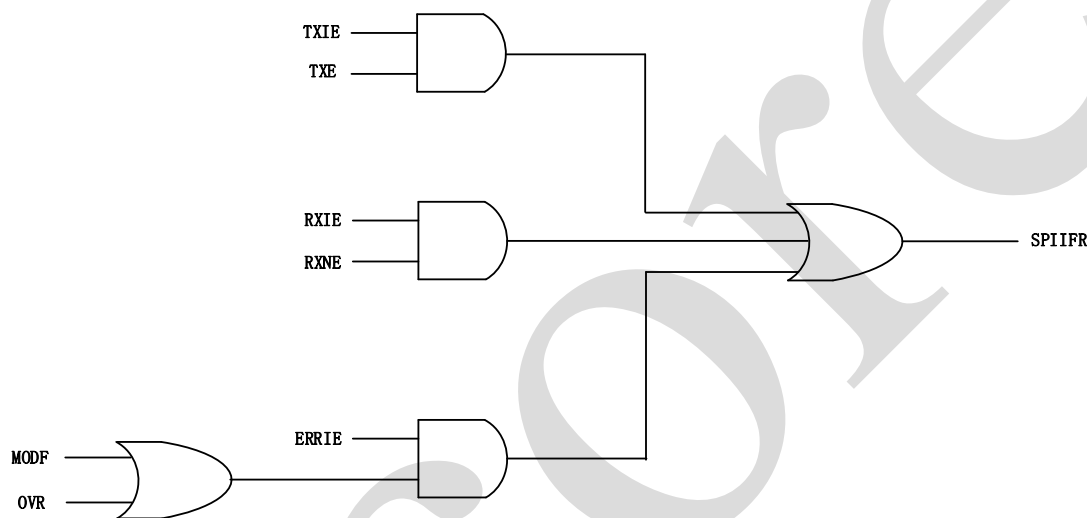


图 16.5.4 SPI 中断框图



17 I2C

17.1 特性

I2C 通过 SDA 和 SCL 两根数据线进行半双工串行通讯，I2C 可配置主从模式，由主机提供通讯时钟 SCL，SDA 和 SCL 需要外接上拉电阻。

- 并行总线 I2C 总线协议转换器
- 多主机功能：该模块既可作为主设备也可作为从设备，支持多主机和主机仲裁
- I2C 主设备功能
 - 产生时钟
 - 产生起始和停止信号
- I2C 从设备功能
 - 可编程的 I2C 地址检测（7 位从机地址）
 - 起始位/停止位检测
- 支持软件复位功能
- 状态标志
 - 发送器/接收器模式标志
 - 字节发送结束标志
 - I2C 总线忙标志
 - 接收缓存器非空标志/发送缓存空标志
 - 起始/停止条件检测标志
 - 地址响应标志
- 错误标志标志
 - 主模式仲裁失败
 - 地址/数据传输后的应答（ACK）错误
 - 接收器溢出错误
- 多种中断触发源
- 可配置 SDA 在 SCL 下降沿数据保持的时间



17.2 功能框图

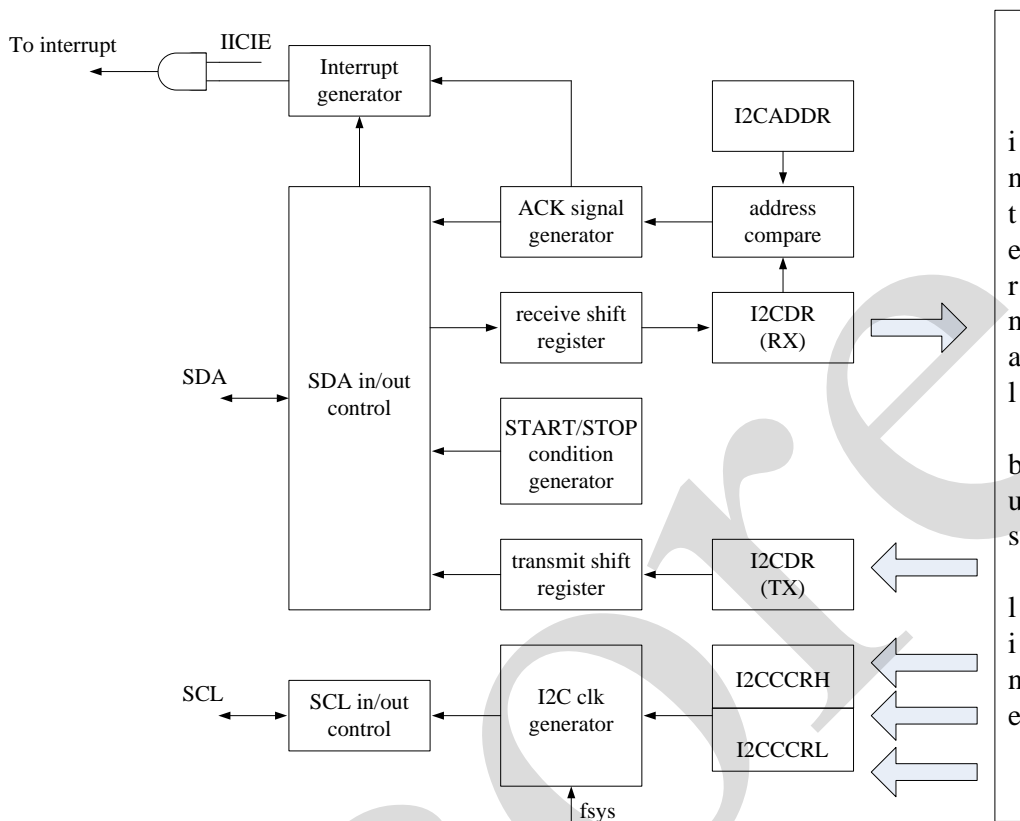


图 17.2.1 I2C 功能框图

17.3 寄存器列表

表 17.3.1 I2C 寄存器列表

寄存器名称	地址	描述	初值
I2CSR1	D1H	I2C 状态寄存器 1	00H
I2CSR2	D2H	I2C 状态寄存器 2	00H
I2CDR	D3H	I2C 数据寄存器	00H
I2CADDR	D4H	I2C 从机地址寄存器	00H
I2CCCRH	D5H	I2C 时钟控制寄存器低字节	00H
I2CCCRH	D6H	I2C 时钟控制寄存器高字节	00H
I2CSDHR	D7H	I2C SDA 保持时间寄存器	00H
I2CCR1	D9H	I2C 控制寄存器 1	00H



17.4 寄存器说明

表 17.4.1 I2CSR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	GCALL	BTF	STOPF	ADDR	ARLO	BUSY	TRA	RXACK
R/W	R	R/W0	R/W0	R/W0	R/W0	R	R	R/W
POR	0	0	0	0	0	0	0	0
位	字段	描述						
7	GCALL	主控模式：该位代表是否从从机接收 ACK 信号 0：没有接收到 ACK 信号 (Master mode) 1：接收到 ACK 信号 (Master mode) 从动模式：表示一般调用 0：没有检测到常规调用地址(Slave mode) 1：检测到常规调用地址(Slave mode)						
6	BTF	字节发送结束标志位 0：数据字节发送未完成 1：数据字节发送结束						
5	STOPF	主控模式： 0：停止条件发送未完成 1：停止条件发送完成			从动模式： 0：没有检测到停止条件 1：检测到停止条件			
4	ADDR	主控模式：从动模式： 0：地址发送未结束 1：地址发送结束 0：收到的地址不匹配 1：收到的地址匹配 I2C 寻址成功后若 I2C 为发送状态，则写 I2C_DR 寄存器会自动清除 ADDR 标志位；若 I2C 为接收状态，需软件写‘0’清除该标志位						
3	ARLO	仲裁失败（主模式） 0：未检测到仲裁失败 1：检测到仲裁失败						
2	BUSY	总线忙标志位 0：总线上没有通信 1：总线上有通信						
1	TRA	发送器/接收器状态标志位 0：接收数据 1：发送数据						
0	RXACK	显示 ACK 信号状态 0：没有 ACK 信号 1：SCL 第 9 个周期接收到 ACK 信号						



表 17.4.2 I2CSR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TXE	RXNE	—	—	STARTF	IICIFR	OVR	NO_ACK
R/W	R	R/W0	—	—	R/W	R	R/W0	R/W0
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TXE	数据寄存器为空(发送时) 0: 发送数据寄存器非空 1: 发送数据寄存器空
6	RXNE	数据寄存器非空(接收时) 0: 接收数据寄存器空 1: 接收数据寄存器非空
5-4	保留	
3	STARTF	起始条件检测标志位 主模式: 0: 起始条件发送未完成 1: 起始条件发送完成 从模式: 0: 没有检测到起始条件 1: 检测到起始条件
2	IICIFR	I2C 中断标志位 0: 没有 I2C 中断 1: 产生 I2C 中断
1	OVR	溢出错误标志位 0: 未发生溢出错误 1: 发生溢出错误
0	NO_ACK	未接收到应答信号标志位 0: 未接受到应答信号 1: 接受到应答信号

表 17.4.3 I2CDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2CDR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	I2CDR	I2C 数据寄存器



表 17.4.4 I2CADDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2CADDR[7:1]							—
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	-
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-1	I2CDR	I2C 地址数据寄存器

表 17.4.5 I2CCCR_L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2CCCR_L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	I2CCCR_L	I2C 时钟控制数据寄存器低字节 I2C 使能后该寄存器不能写入

表 17.4.6 I2CCCR_H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2CCCR_H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	I2CCCR_H	I2C 时钟控制数据寄存器高字节 I2C 使能后该寄存器不能写入

表 17.4.7 I2CSDHR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2CSDHR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	I2CSDHR	配置 SDA 数据在 SCL 下降沿后保持时间



表 17.4.8 I2CCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	I2C_RST	I2C_EN	TXDLYENB	IICIE	ACKEN	MODE	STOP	START
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	I2C_RST	软件复位 0: 无影响 1: I2C 模块复位初始化
6	I2C_EN	I2C 使能控制位 0: 禁用 I2C 模块 1: 启用 I2C 模块, I2C 引脚自动配置为开漏引脚
5	TXDLYENB	I2CSDHR 寄存器控制位 0: 禁止 I2CSDHR 寄存器 1: 使能 I2CSDHR 寄存器
4	IICIE	中断使能位 0: 禁止 I2C 中断 1: 使能 I2C 中断
3	ACKEN	应答使能 0: 不返回应答 1: 收到一个字节(匹配的地址字节或者数据字节)后返回应答 该位必须在使能 I2C 模块后才允许写入
2	MODE	I2C 操作模式选择控制位 0: 从机 1: 主机
1	STOP	发送 STOP 信号控制位 0: 不产生停止位 1: 当前字节传输完成后, 或者当前起始位发送完后, 产生停止位 该位必须在使能 I2C 模块后才允许写入, STOP 发送结束后硬件自动清除该位
0	START	发送 START 信号控制位 0: 不产生起始位 1: 产生起始位或重复起始位 该位必须在使能 I2C 模块后才允许写入 该位必须在使能 I2C 模块后才允许写入, START 发送结束后硬件自动清除该位



17.5 功能说明

17.5.1 工作方式

I2C 模块不仅可以接收和发送数据，还可以在接收时将数据从串行转换成并行数据，在发送时将数据从并行转换成串行数据，可以开启或禁止中断。接口通过数据引脚（SDA）和时钟引脚（SCL）连接到 I2C 总线。

17.5.2 模式选择

接口可以配置为以下 4 种模式中的一种

- 从设备发送模式
- 从设备接收模式
- 主设备发送模式
- 从设备接收模式

默认条件下 I2C 模块工作在从模式下

17.5.3 通信过程

主模式时，I2C 接口启动数据传输并产生时钟信号。串行数据传输总是以起始条件开始并以停止条件结束。起始条件和停止条件都是在主模式下由软件控制产生。

从模式时，I2C 接口能识别它自己的地址，并与接收到的地址进行校验。

数据和地址按 8 位/字节进行传输高位在前。跟在起始条件后的第 1 个字节是地址。地址只在主模式发送。

在一个字节传输的 8 个时钟后的第 9 个时钟期间，接收器必须回送一个应答位(ACK)给发送器。

17.5.4 通信协议

当时钟高电平周期时，SDA 总线上的数据必须保持稳定，SCL 线上的时钟信号是低电平时，数据线上的高或低状态才可以改变。START 和 STOP 情况除外，这些情况下数据线改变发生在时钟线高电平时。

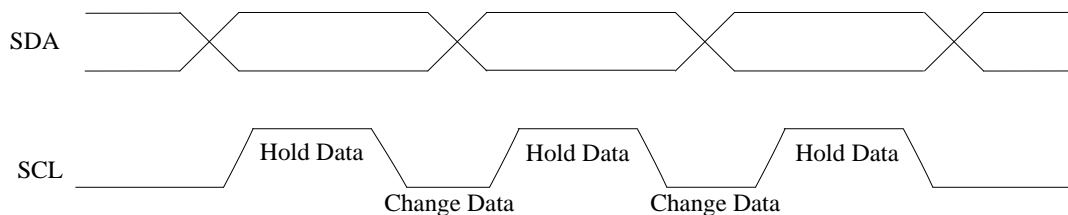


图 17.5.1 I2C 总线协议



17.5.5 时钟同步和总线仲裁

时钟同步是由 I2C 和 SCL 线与连接完成。意思就是 SCL 上一个由高到低到转变将会引起设备开始对低电平脉冲进行计数并保持 SCL 现在的状态直到时钟高电平被接收到。然而如果另一个时钟仍然维持在低电平的话，时钟由低到高的变化不能改变 SCL 线的状态。这样，随着最长的低电平脉冲产生一个同步 SCL 时钟，高电平由最短的高脉冲决定。

如果总线空闲时主机可以开始进行发送。两个或更多个主机可以产生 START 信号。仲裁在 SDA 线上产生，当 SCL 高电平时，通过主机发送一个高电平，当另一个主机在发送低电平时会关闭数据输出状态，因为总线电平不等于它自身的电平。仲裁连续很多位直到一个主机赢得 I2C 总线。

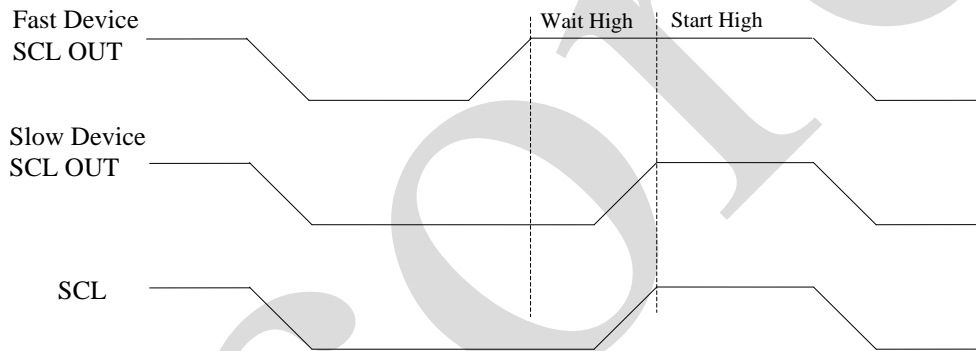


图 17.5.2 时钟同步

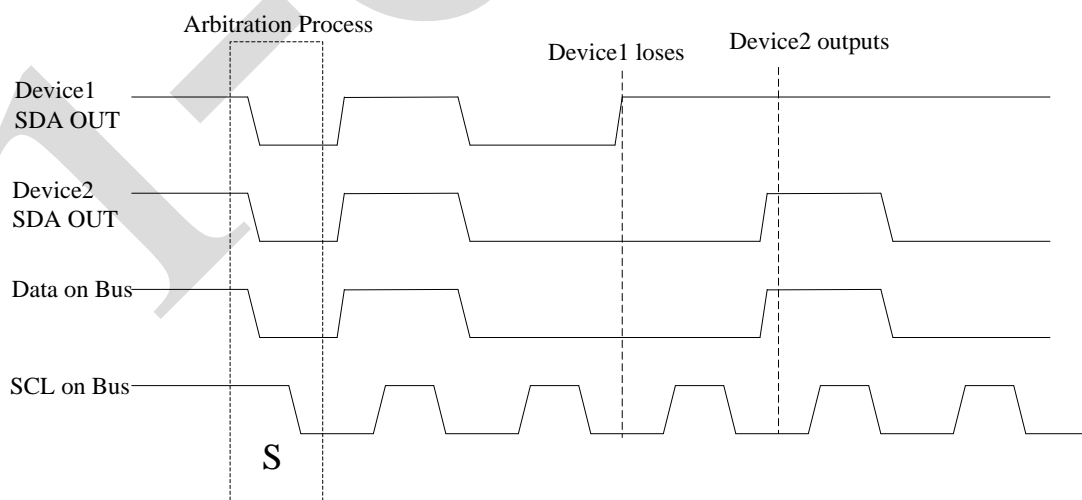


图 17.5.3 总线仲裁机制



17.5.6 START/STOP 信号

主控器会发出一个 START 信号通知其他设备连接他们将会用到 SCL, SDA 总线。一个 STOP 信号由主控器产生去释放总线以便其他设备可以使用。

SCL 高电平时, SDA 上由高到低的转变被规定是一个 START 信号。

SCL 高电平时, SDA 上由低到高的转变被规定是一个 STOP 信号。

START 和 STOP 信号由主机产生。START 信号后总线通常被认为是忙碌。STOP 信号后总线被认为释放, 总线在 START 和 STOP 信号之间是忙碌状态。如果 STOP 信号被重复 START 信号取代, 总线保持忙碌状态。

所以, START 和重复 START 信号功能上是一样的。

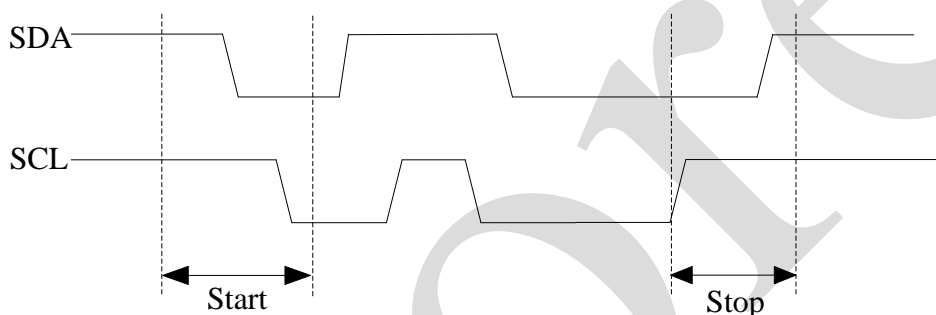


图 17.5.4 START/STOP 信号

17.5.7 时钟发生器

主模式下的 SCL 时钟可按照下面的公式通过配置 16 位时钟控制寄存器来设置:

$$I2C_CCR[15:0] = \frac{F_{sys}}{5 \times F_{scl}} - 1$$

$$I2C_CCR[15:0] = \{I2C_CCR[7:0], I2C_CCR[7:0]\}$$

F_{scl} 为 SCL 时钟的频率

例: $F_{sys} = 24\text{MHz}$, $F_{scl} = 100\text{kHz}$, 计算方法如下:

$$I2C_CCR[15:0] = \frac{24000000}{5 \times 100000} - 1 = d'47 = h'2F$$

故 $I2C_CCR[7:0] = 8'h00$, $I2C_CCR[7:0] = 8'h2F$

SCL 时钟的占空比为低电平: 高电平 = 3:2。



17.5.8 主机发送

I2C 作为主机发送时，以下是推荐的步骤：

- 1) 向 I2C_CCRH 和 I2C_CCRL 写入期望值，设置 I2C 的发送接收时钟；
- 2) 设置 I2C_CR1 的 I2C_EN 位使能 I2C，并且设置如何处理中断；
- 3) 设置 I2C_CR2 的 MODE 位使能主机模式。置位 START 位，发送一个 START 信号。当 START 位复位时，完成起始条件的发送；
- 4) 加载 SLA+W 到 I2C_DR，这里 SLA 是从机的地址，W 是基于主机角度的传送方向。主机发送时，W 是 0；主机接受时，W 是 1。注意 I2C_DR 被地址和数据共用；
- 5) 7 位地址和 1 位传输方向被发送到目标从机时，主机会根据在 SCL 高电平第九位从机是否应答来判断是否寻址到从机；

I2C (Master)在接收从机的 ACK 应答信号时可有以下几种情况：

- a) 主机从从机接收到 ACK 信号，表示从机接收到匹配的地址，可以接收主机发送数据；
- b) 主机没有接收到从机的 ACK 信号，表示没有从机响应主机。此时 I2C_CR1 的 STOP 位置位，停止主机发送操作；
- c) 主机由于没有检测到从机的 ACK 信号而发送重复 START 信号。重新加载 SLA+R/W 到 I2C_DR，寻找新的从机；

在第一种情况时，转移到 6。如果是第二种情况，转移到 7 去处理 STOP 中断。如果是第三种情况，发送完 I2C_DR 中的数据后转移到 4。如果传送方向位是 0 转到主机发送部分。

- 6) I2C 主机寻址到从机后，可以向 I2C_DR 寄存器写入数据，开始数据的发送。在数据发送完成后，在 SCL 高电平第九位接收从机的 ACK 信号。此时，可能接收到 ACK 信号，也可能接收不到 ACK 信号；

I2C (Master) 在接收从机的 ACK 应答信号时可有以下几种情况：

- a) 主机从从机接收到 ACK 信号，由于从机可以从主机接收更多的数据所以继续数据传送。这样的话，加载数据到 I2C_DR；
- b) 主机停止数据传送即使它接收从机的 ACK 信号。此时 I2C_CR1 的 STOP 位置位；
- c) 主机接收到 ACK 信号，但发送重复 START 信号。然后，加载 SLA+R/W 到 I2C_DR，寻址新的从机；
- d) 主机没有接收到从机的 ACK 应答信号，表示该从机不再接收主机发送的数据。主机可发送重复 START 信号然后，加载 SLA+R/W 到 I2C_DR，寻址新的从机。或置位 STOP 位停止发送；



在第一种情况时，转移到 6。如果是第二种情况，移到 7 去处理 STOP 中断。如果是第三种情况，发送完 I2CDR 中的数据后转移到 4，同时如果传送方向位是 1 转到主机接收部分。如果是第四种情况，根据主机发送的信号，选择转移到 5 或 7。

7) 这是 I2C 传送功能的最后一步，主机置位 STOP 位发送停止条件，之后复位 STOP 位。发送停止表示主机和从机之间的数据传送已经完成。然后 I2C 进入空闲状态。

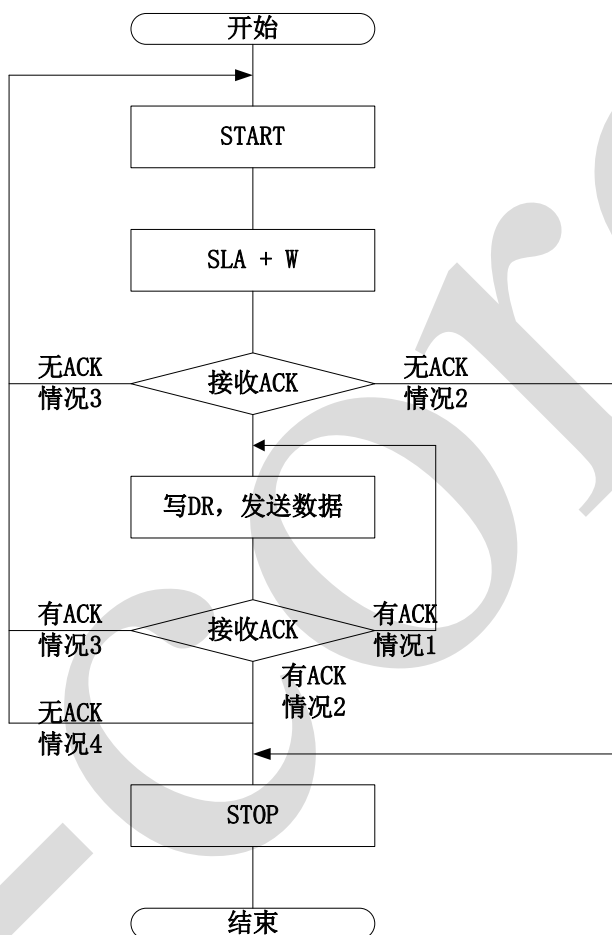


图 17.5.5 主机发送流程图



17.5.9 主机接收

I2C 作为主机接收时，以下是操作步骤：

- 1) 向 I2C_CCRH 和 I2C_CCRL 写入期望值，设置 I2C 的发送接收时钟；
- 2) 设置 I2C_CR1 的 I2C_EN 位使能 I2C，并且设置如何处理中断；
- 3) 设置 I2C_CR1 的 MODE 位使能主机模式。置位 START 位。发送一个 START 信号。当 START 位复位时，完成起始条件的发送；
- 4) 加载 SLA+R 到 I2C_DR，这里 SLA 是从机的地址，R 是基于主机角度的传送方向。主机接收时，R 是 1。注意 I2C_DR 被地址和数据共用；
- 5) 7 位地址和 1 位传输方向被发送到目标从机时，主机会知道在 SCL 高电平的第九位从机是否应答。此时，可能接收到 ACK 信号，也可能接收不到 ACK 信号；

I2C (Master) 在接收从机的 ACK 应答信号时可有以下几种情况：

- a) 主机从从机接收到 ACK 信号，表示从机接收到匹配的地址，可以向主机发送数据，主机需准备接受来自从机的数据。设置 I2C_CR1 的 ACKEN 位决定 I2C 是否应答下一个接收的数据；
- b) 主机没有接收到从机的 ACK 信号，表示没有从机响应主机，向主机发送数据。此时 I2C_CR1 的 STOP 位置位，停止主机接收操作；
- c) 主机由于没有检测到从机的 ACK 信号而发送重复 START 信号。此时，加载 SLA+R/W 到 I2C_DR，寻找新的从机；

在第一种情况时，转移到 6。如果是第二种情况，转移到 8 去处理 STOP 中断。如果是第三种情况，发送完 I2C_DR 中的数据后转移到 5。如果传送方向位是 0 转到主机发送部分。

- 6) 接收一个字节的数据；
- 7) 根据主机是否置位了 ACKEN 位，设置在接收到数据后是否发送 ACK 应答信号。主机根据是否发送 ACK 信号而选择以下的某一种情况：
 - a) 主机发送 ACK 信号，表示主机继续从从机接收数据；
 - b) 主机未发送 ACK 信号，不在接收数据。I2C_CR1 的 STOP 位置位，停止主机接收操作；
 - c) 主机未发送 ACK 信号，不在接收数据，而发送重复 START 信号。此时，加载 SLA+R/W 到 I2C_DR，寻找新的从机；

如果主机没有发送 ACK 信号，表示主机想要终止数据接收。如果想要终止数据接收，需在接收到上一个数据，发送 ACK 信号后复位 I2C_CR1 的 ACKEN 来保证接收完最后一个数据不发送 ACK 信号。

在第一种情况，转移到 6。如果是第二种情况，转移到 8 去处理 STOP 中断。如果是第三种情况，发送完 I2C_DR 中的数据后转移到 5，同时如果传送方向位是 0 转到主机发送部



分。

8) 这是 I2C 传送功能的最后一步，主机置位 STOP 位发送停止条件，表示主机和从机之间的数据传送已经完成；

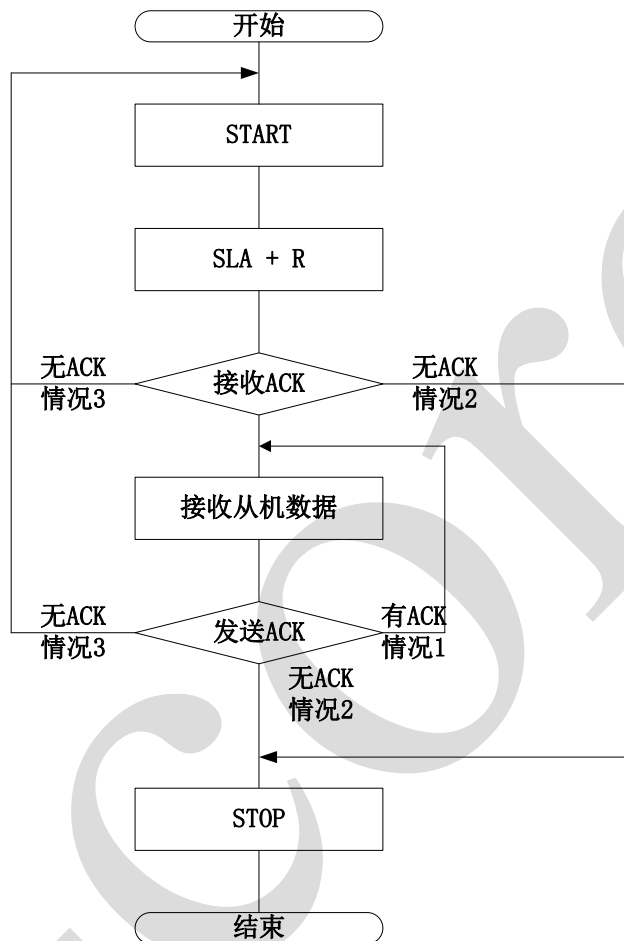


图 17.5.6 主机接收流程图

17.5.10 从机发送

I2C 作为从机发送时，以下是推荐的步骤：

- 1) 设置 I2C_CR1 的 I2C_EN 位使能 I2C，并且设置如何处理中断；
- 2) 当检测到一个 START 信号，I2C 接收一个字节的的数据与 I2C_ADDR 的 SLA 位比较；
- 3) 如果接收地址不等于 I2C_ADDR 的 SLA，I2C 进入空闲状态等待下一个开始信号；如果地址等于 SLA 位并且 ACKEN 位是打开的，I2C 从机发送 ACK 应答信号并置位 ADDR 位。注意即使地址等于 SLA，当 ACKEN 位禁止时，I2C 仍进入空闲状态；
- 4) I2C 从机清除 ADDR 位并向 I2C_DR 寄存器写值，经由移位寄存器发送到 SDA 线



上;

- 5) 从机根据主机接收到数据后的操作来选择以下几种情况:
- a) 从机接收到主机发送的 ACK 应答信号, 表明主机继续接收数据, 从机重新加载数据到 I2C_DR, 继续发送数据;
 - b) 主机未发送 ACK 信号且置位 STOPF 位发送了停止条件。从机接收到停止条件, 置位 STOPF 位, 表示主机和从机之间的数据传送已经完成, 从机进入空闲状态, 等待下一个开始信号;
 - c) 主机未发送 ACK 信号且发送了重复 START 信号, 从机转移到 2;

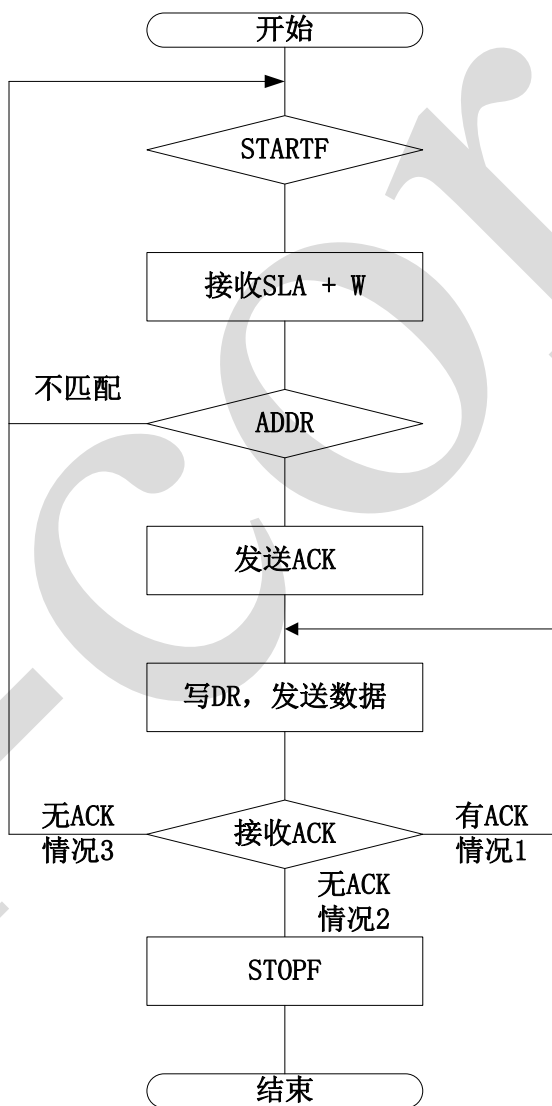


图 17.5.7 从机发送流程图



17.5.11 从机接收

I2C 作为从机接收时，以下是推荐的步骤：

- 1) 设置 I2C_CR1 的 I2C_EN 位使能 I2C，并且设置如何处理中断；
- 2) 当检测到一个 START 信号，I2C 接收一个字节的数据与 I2C_ADDR 的 SLA 位比较；
- 3) 如果接收地址不等于 I2C_ADDR 的 SLA，I2C 进入空闲状态等待下一个开始信号。如果地址等于 SLA 位并且 ACKEN 位是打开的，I2C 从机发送 ACK 应答信号。注意即使地址等于 SLA，当 ACKEN 位禁止时，I2C 仍进入空闲状态；
- 4) 主机接收到 ACK 信号后开始发送数据，从机正常接收主机发送的数据，并在接收完毕后根据 ACKEN 位选择是否发送 ACK 应答信号；

从机根据主机接收到 ACK 信号后的操作来选择以下几种情况：

- a) 主机接收到 ACK 信号后继续发送数据，从机继续接收主机发送的数据，并在接收完毕后根据 ACKEN 位选择是否发送 ACK 应答信号，
 - b) 主机接收到 ACK 信号后置位 STOP 位发送了停止条件，从机接收到停止条件后进入空闲状态，等待下一个开始信号。
 - c) 主机接收到 ACK 信号后发送了重复 START 信号，则从机转移到到 2。
- 5) 从机想要终止数据接收，则在接收到上一个数据，发送 ACK 信号后复位 I2C_CR1 的 ACKEN 来保证接收完最后一个数据不发送 ACK 信号，表示该从机不再接收主机发送的数据。之后等待主机发送的停止条件或重复的起始信号。

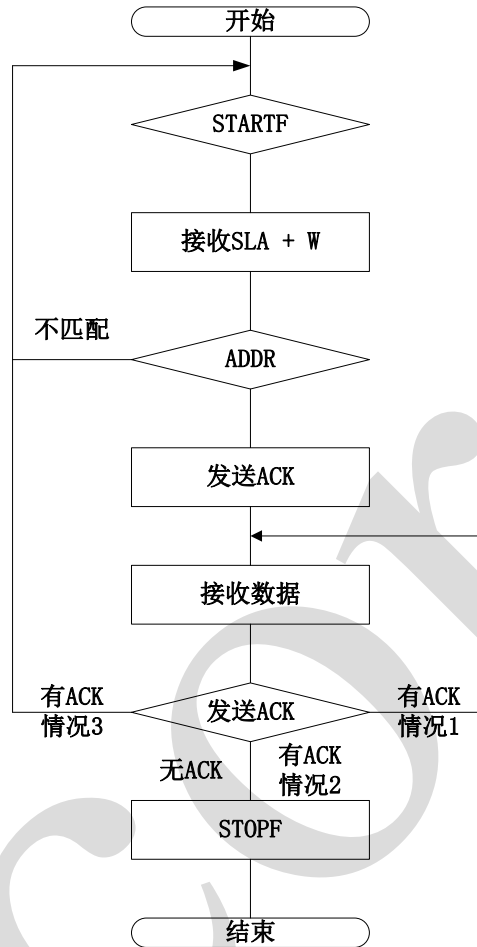


图 17.5.8 从机接收流程图

17.5.12 I2C 状态标志

(1) 总线忙 (BUSY)

此标志位表明 I2C 是否处于通信中，当硬件检测到 SDA 或者 SCL 变成低电平，该位置位；检测到结束条件时，硬件清零该位。该位表明总线上时候正有通信在进行。即使模块没有使能的情况下(I2C_EN=0)，该位也有效。

(2) 发送缓冲器空标志(TXE)

在发送数据时，数据寄存器为空时该位被置 1，在发送地址阶段不设置该位。软件写数据到 DR 寄存器可清除该位；或在发生一个起始或停止条件后，或当 I2C_EN=0 时由硬件自动清除



(3) 接收缓冲器非空(RXNE)

在接收时，当数据寄存器不为空，该位被置 1。在接收地址阶段，该位不被置位。发生 ARLO 时，不会置位 RXNE 位。软件写零清除该位，或当 I2C_EN=0 时由硬件清除。

(4) 停止条件检测位 (STOPF)

主模式：

0：停止条件发送未完成

1：停止条件发送完成

从模式：

0：没有检测到停止条件

1：检测到停止条件

注：当主设备发送完停止条件或从设备在总线上检测到停止条件时，硬件将该位置起之后，必须软件写 0 清除该位（否则通讯将产生异常），或当 I2C_EN=0 时，硬件清除该位。

(5) 起始条件检测 (STARTF)

主模式：

0：起始条件发送未完成

1：起始条件发送完成

从模式

0：未检测到起始条件

1：检测到起始条件

注意：主模式下，起始条件后写入发送的地址数据自动清除该位。或当 I2C_EN=0 时，硬件清除该位。

(6) 字节发送结束标志位 (BTF)

0：数据字节发送未完成

1：数据字节发送结束

注意：在发送时，当一个新数据将被发送且数据寄存器还未被写入新的数据(TXE=1)。如果收到 NACK 或发生仲裁错误，则不会置位 BTF。在软件对数据寄存器写操作将清除该位；或在传输中发送一个起始或停止条件后，或当 I2C_EN=0 时，由硬件清除该位，也可软件写零清除该位



(7) 地址响应标志位 (ADDR)

地址匹配(从模式)

0: 地址不匹配或没有收到地址

1: 收到的地址匹配

– 当收到的从地址与 I2C_ADDR 寄存器中的内容相匹配硬件就将该位置‘1’。

地址已被发送(主模式)

0: 未发送地址

1: 地址发送结束

注意：在如果未收到 ACK 应答，ADDR 位不会被置位。可软件清除该位或写数据寄存器清除该位，或当 I2C_EN=0 时，由硬件清除该位。

(8) 发送/接收指示标志位 (TRA)

该位在整个寻址阶段结束时，根据地址字节的 R/W 位来决定。当检测到结束条件 (STOPF=1)，重复起始条件，总线仲裁失败(ARLO=1)，或者 I2C_EN=0 时由硬件清零。

17.5.13 I2C 错误标志

(1) 仲裁失败标志位 (ARLO)

当该模块丢失了对总线的仲裁控制并转交给其他主设备，硬件自动置位 ARLO。软件写 0 清除该位；或者当 I2C_EN=0 时由硬件清零。仲裁失败发生后，模块自动切换回从模式 (MODE=0)

(2) 溢出错误标志位 (OVR)

接收时，当 DR 寄存器中的内容还没有读出，并且没有清除 RXNE 位，又收到新的字节 (包括 ACK 脉冲)，会发生溢出错误，新收到的字节将丢失。如果发生 ARLO 时，OVR 不会被置位。软件写 0 清除该位之前，先要清除 RXNE 位；或者当 I2C_EN=0 时由硬件清零。

(3) 应答错误标志位 (NO_ACK)

当发送器发送完一个字节时没有收到接收器的应答信号或者主机发送完地址未被响应时硬件置位 NO_ACK，软件写 0 清除该位，或当 I2C_EN=0 时由硬件清零。

注：当 I2C 作为从机发送时，第一次通讯结束后，主机未响应，从机 no_ack 标志位置起，若想进行第二次通讯，需软件清零 no_ack 标志位。



(4) 广播呼叫标志位(GCALL)

从机模式时 GCALL 指示是否发生广播呼叫操作，主机模式时该标志位指示是否接收到 ACK 信号

(5) ACK 信号标志位(RXACK)

该标志位指示是否接收到 ACK 信号

17.5.14 广播呼叫功能

广播呼叫地址为 00H，I2C 将广播呼叫地址当做有效的地址寻址并根据判断进入接收或者发送状态。

17.5.15 SDA 数据在 SCL 下降沿后保持功能

I2C 主机模式下置位 TXDLYENB 控制位后可通过 I2C_SDHR 寄存器配置在 SCL 下降沿后多久 SDA 开始输出数据。

17.5.16 中断

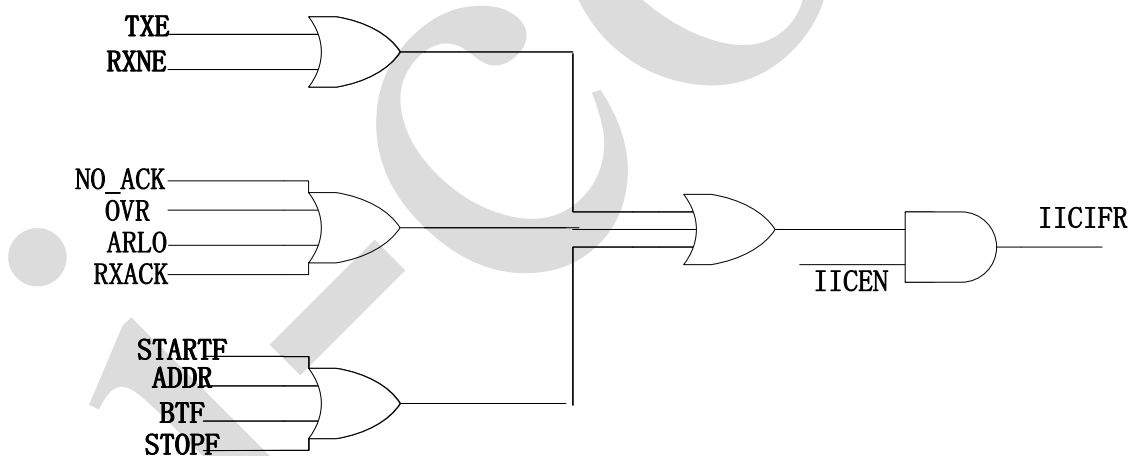


图 17.5.9 中断框图



18 模数转换器 A/D

18.1 特性

该 A/D 可以将一个模拟信号的电压转换成为一个 12bit 的数字量。用于转换的电压可以从 20 路模拟输入通道中选择。用于 A/D 转换的时钟可配置为系统时钟或其分频时钟。AD 转换完成后，转换完成标志位将置起，并产生 AD 中断。AD 转换结果会被存入 2 个 8 位的数据寄存器，存入上述 2 个寄存器的格式可配置。

- 转换结果为 12 位数字信号
- 拥有 20 个可选的模拟输入通道
- 参考电压可由程序配置为内部 VDD 或片内 VREF(4V/3V/2V)
- 拥有 AD 转换完成标志位(AFLAG)和 AD 中断(ADCIFR)
- 可选择不同分频的时钟(fs_{sys}、fs_{sys}/2、fs_{sys}/8、fs_{sys}/16、fs_{sys}/32、fs_{sys}/64、fs_{sys}/128)用于 AD 转换
- 可配置 2 种 AD 转换结果输出格式
- 可以选择内部 1/4VDD 作为模拟输入

18.2 功能框图

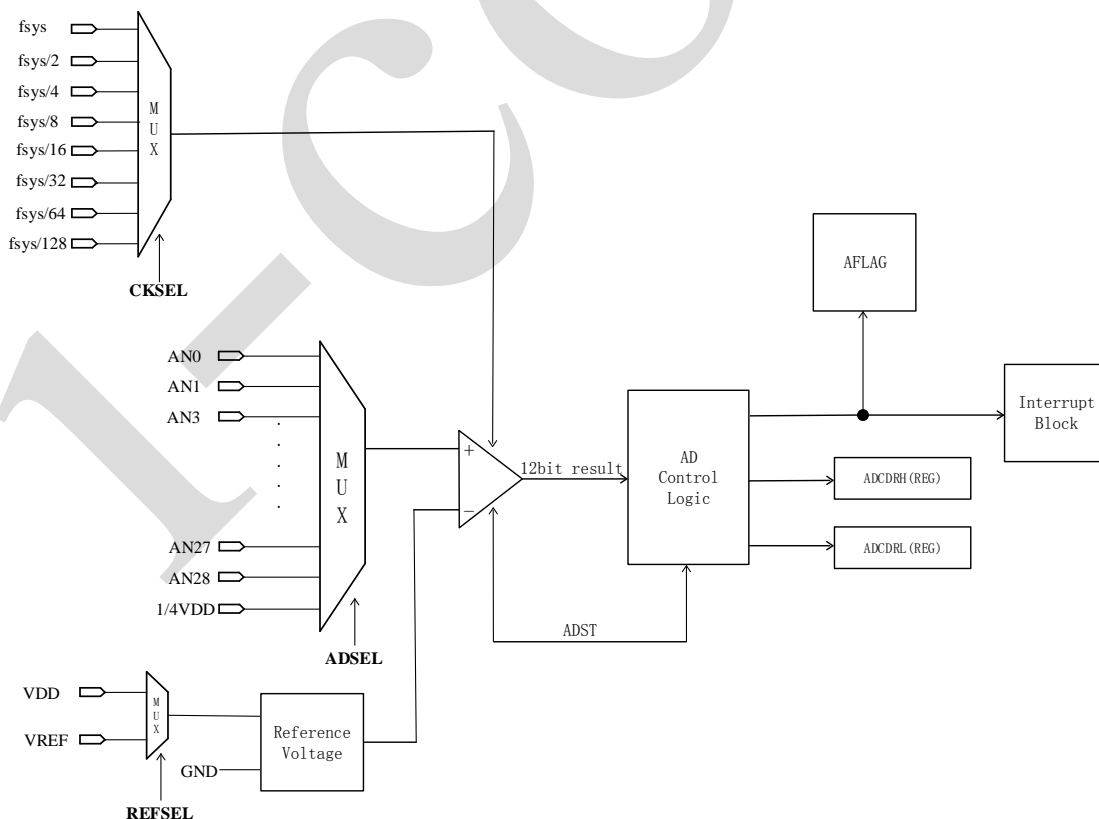


图 18.2.1 AD 功能框图



18.3 寄存器列表

表 18.3.1 AD 寄存器列表

寄存器名称	地址	描述	初值
ADCDRL	ADH	AD 转换结果寄存器低字节	00H
ADCDRH	AEH	AD 转换结果寄存器高字节	00H
ADCCRL	ABH	AD 控制寄存器低字节	00H
ADCCRH	ACH	AD 控制寄存器高字节	00H
ADAN0	4150H	AD 端口使能寄存器 0	00H
ADAN1	4151H	AD 端口使能寄存器 1	00H
ADAN4	4154H	AD 端口使能寄存器 4	00H

18.4 寄存器说明

表 18.4.1 ADCCRL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	STBY	ADST	—	ADSEL[4:0]				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	STBY	AD 模块使能控制位 0: AD 模块关闭 1: AD 模块使能
6	ADST	AD 转换开始控制位 0: 无影响 1: 转换开始触发, 1~2 个 AD 时钟周期后自动清 0
5	—	保留
4-0	ADSEL[4:0]	AD 模拟输入通道选择位 00000: AN0 00001: AN1 00010: 无效 00011: AN3 00100: AN4 00101: AN5 00110: 无效 00111: 无效 01000: 无效 01001: AN9 01010: AN10 01011: AN11 01100: AN12 01101: AN13



表 835-11-B5

		01110: 无效 01111: 无效 10000: 无效 10001: 无效 10010: 无效 10011: AN19 10100: AN20 10101: AN21 10110: AN22 10111: AN23 11000: AN24 11001: AN25 11010: AN26 11011: AN27 11100: AN28 11101: 内部 1/4VDD
--	--	---

表 18.4.2 ADCCRH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCIFR	AFLAG	ADCVREFSEL[1:0]		ALIGN	CKSEL[2:0]		
R/W	R/W0	R	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	ADCIFR	AD 中断标志位 0: 没有产生 AD 中断 1: 产生 AD 中断
6	AFLAG	AD 转换状态位 0: AD 转换进行中 1: AD 转换结束
5-4	ADCVREFSEL [1:0]	AD 内部 VREF 选择位 00: 2V 01: 3V 10: 4V 11: VDD
3	ALIGN	AD 转换结果保存格式选择 0: AD 转换结果保存格式为{ ADCDRH[7:0], ADCDRL[7:4]} 1: AD 转换结果保存格式为{ ADCDRH[3:0], ADCDRL[7:0]}
2-0	CKSEL[2:0]	AD 转换时钟选择控制位 000: fsys 001: fsys/2 010: fsys/4 011: fsys/8



表 835-11-B5

		000: fsys/16 001: fsys/32 010: fsys/64 111: fsys/128
--	--	---

注：建议 AD 转换时钟最快不要超过 8MHz

表 18.4.3 ADCDRL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADDM3	ADDM2	ADDM1	ADDM0	—	—	—	—
	ADDM7	ADDM6	ADDM5	ADDM4	ADDM3	ADDM2	ADDM1	ADDM0
R/W	R	R	R	R	R	R	R	R
POR	X	X	X	X	X	X	X	X

位	字段	描述
7-4	ADDM[3:0]	MSB align, AD 转换数据低 4 位
7-0	ADDL[7:0]	LSB align, AD 转换数据低 8 位

表 18.4.4 ADCDRH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADDM11	ADDM10	ADDM9	ADDM8	ADDM7	ADDM6	ADDM5	ADDM4
	—	—	—	—	ADDM11	ADDM10	ADDM9	ADDM8
R/W	R	R	R	R	R	R	R	R
POR	X	X	X	X	X	X	X	X

位	字段	描述
7-0	ADDM[11:4]	MSB align, AD 转换数据高 8 位
3-0	ADDL[11:8]	LSB align, AD 转换数据高 4 位

表 18.4.5 ADAN0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	AN28	AN27	AN26	AN25	AN24	AN23	AN22
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
6-0	ANn	AD 口模式选择位 0: 作为 I/O 口 1: 作为 AD 口

表 18.4.6 ADAN1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	AN10	AN9	AN13	AN12	AN11



表 835-11-B5

R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
4-0	ANn	AD 口模式选择位 0: 作为 I/O 口 1: 作为 AD 口

表 18.4.7ADAN4 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN19	AN20	AN0	AN1	AN21	AN3	AN4	AN5
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位 0: 作为 I/O 口 1: 作为 AD 口



19 TOUCH

AiP8F3532 内部集成触摸按键检测电路。

- 多达 29 个按键通道
- 无需片外触摸电容
- 触摸模块充放电时钟三种模式可选，PRS 功能可显著提高抗干扰能力
 - 系统时钟固定分频
 - 正态分布
 - 均匀分布
- 触摸模块计数时钟 16M、12M、8M、4M 可选
- 计数位宽 9~16 位可选
- 实现功能
 - 人体触摸，手势判断，行为决策等



20 LCD

20.1 特性

单片机通过设置 P00~P07 作为 COM 引脚，其它输出接口作为 SEG 引脚，以驱动外部的液晶面板。LCD 驱动功能是由 LCDCR 寄存器来控制，另外，该寄存器可设置 LCD 的开启和关闭以及输出偏压值等功能，使得 COM 口输出 $VDD/2$ 的电压，从而实现 1/2 bias LCD 的显示。

LCDER 寄存器中的 LCDEN 位是 LCD 驱动的主控制位，而 COMCR 寄存器中的 COMnEN 位设置 P07~P00 端口是否用于 LCD 驱动；作为 LCD 驱动的端口，可输出 $VDD/2$ 电压。

- ISEL 工作电流四档位可调
- P00~P07 端口作为 COM 端口可通过 COMCR 寄存器独立控制

20.2 功能框图

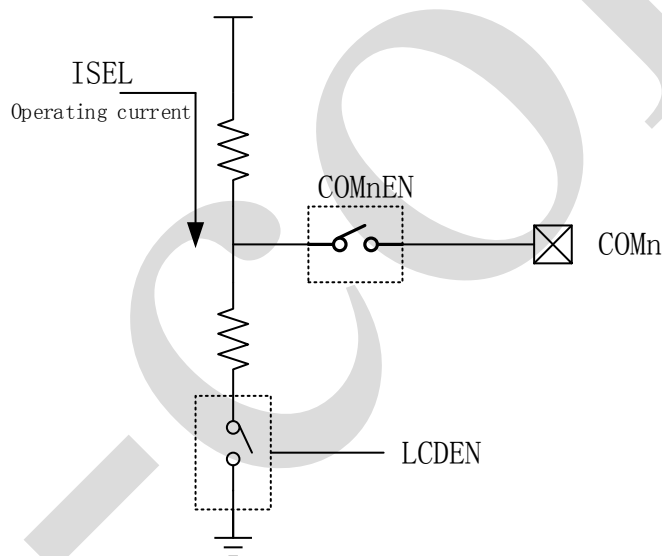


图 20.2.1 端口原理框图

20.3 寄存器列表

表 20.3.1 LCD 寄存器列表

寄存器名称	地址	描述	初值
COMCR	4159H	LCD 控制寄存器	00H
LCDER	415DH	LCD 控制寄存器	00H



20.4 寄存器说明

表 20.4.1 COMCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	COM7E N	COM6E N	COM5E N	COM4E N	COM3E N	COM2E N	COM1E N	COM0E N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	COM7EN	P07 选择 GPIO 或 COM7 0: GPIO 1: COM
6	COM6EN	P06 选择 GPIO 或 COM6 0: GPIO 1: COM
5	COM5EN	P05 选择 GPIO 或 COM5 0: GPIO 1: COM
4	COM4EN	P04 选择 GPIO 或 COM4 0: GPIO 1: COM
3	COM3EN	P03 选择 GPIO 或 COM3 0: GPIO 1: COM
2	COM2EN	P02 选择 GPIO 或 COM2 0: GPIO 1: COM
1	COM1EN	P03 选择 GPIO 或 COM1 0: GPIO 1: COM
0	COM0EN	P02 选择 GPIO 或 COM0 0: GPIO 1: COM



表 20.4.2 LCDCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LCDEN	ISEL1	ISEL0	—	—	—	—	—
R/W	R/W	R/W	R/W	—	—	—	—	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	LCDEN	LCD 使能 0: 关闭 1: 打开
6-5	ISEL[1:0]	LCD 电流选择位 00: 25uA 01: 50uA 10: 100uA 11: 200uA

20.5 功能说明

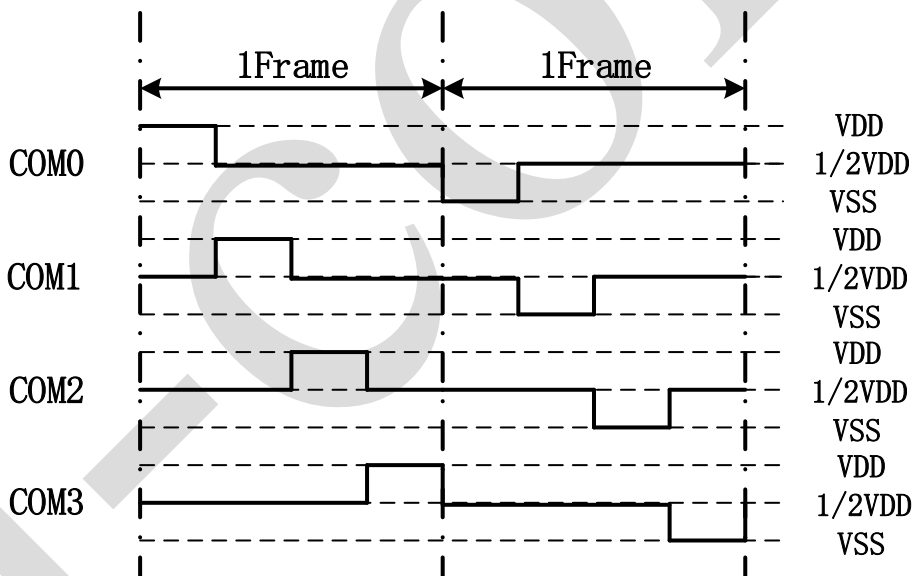


图 20.5.1 LCD 输出示意图



表 20.5.1 1/2Bias LCD COM0-COM3 一轮扫描 COM&SEG 电平和显示关系

COM0	COM1	COM2	COM3	SEGN 点亮	SEGN 不亮
VDD	1/2VDD	1/2VDD	1/2VDD	VSS	VDD
VSS	1/2VDD	1/2VDD	1/2VDD	VDD	VSS
1/2VDD	VDD	1/2VDD	1/2VDD	VSS	VDD
1/2VDD	VSS	1/2VDD	1/2VDD	VDD	VSS
1/2VDD	1/2VDD	VDD	1/2VDD	VSS	VDD
1/2VDD	1/2VDD	VSS	1/2VDD	VDD	VSS
1/2VDD	1/2VDD	1/2VDD	VDD	VSS	VDD
1/2VDD	1/2VDD	1/2VDD	VSS	VDD	VSS

以 1/2 Bias 为例，用 P00 作为其中一个 COM 输出 3 级电压的设置步骤如下：

- 1、设置 LCDCCR = 0x80：使能 1/2Bias 输出，设置内部最小的偏置电流
- 2、输出 VDD：依次设置 COMCR = 0x00、P0 = 0x01、P0IO = 0x01
- 3、输出 1/2VDD：设置 COMCR = 0x01
- 4、输出 GND：依次设置 P0 = 0x00、COMCR = 0x00

21 低电压复位模块 LVR

21.1 特性

低电压复位模块(LVR)用于对供电电压的检测，每当供电电压低于用户配置的电压时，LVR 会输出 LVR 低电平复位信号，其会令 MCU 产生内部复位。供电电压至少要维持 8 个 LIRC 时钟周期才会触发 LVR 复位。

- 该 LVR 支持 4 档低压检测点配置
- 自带滤波功能，可滤除瞬时低电压

21.2 寄存器列表

表 21.2.1 LVR 寄存器列表

寄存器名称	地址	描述	初值
LVRCR	D8H	LVR 控制寄存器	80H



21.3 寄存器说明

表 21.3.1 LVRCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LVR_EN	—	—	—	—	—	LVR_SEL[1:0]	
R/W	R/W	—	—	—	—	—	R/W	R/W
POR	1	0	0	0	0	0	0	0

位	字段	描述
7	LVR_EN	LVR 模块使能位 0: 除能 1: 使能
1-0	LVR_SEL[1:0]	LVR 复位电压选择位 00: 2.10V (默认值) 01: 2.55V 10: 3.15V 11: 3.80V



22 低电压检测模块 LVI

22.1 特性

低电压检测模块(LVI)用于对供电电压的检测，每当供电电压低于用户配置的电压时，低电压侦测到标志位 LVIF 会置位。

- 该 LVI 支持 8 档低压检测点配置
- 自带滤波功能，可滤除瞬时低电压
- LVIF 标志位可生成中断信号

22.2 寄存器列表

表 22.2.1 LVI 寄存器列表

寄存器名称	地址	描述	初始值
LVICR	86H	LVI 控制寄存器	00H

22.3 寄存器说明

表 22.3.1 LVICR 寄存器

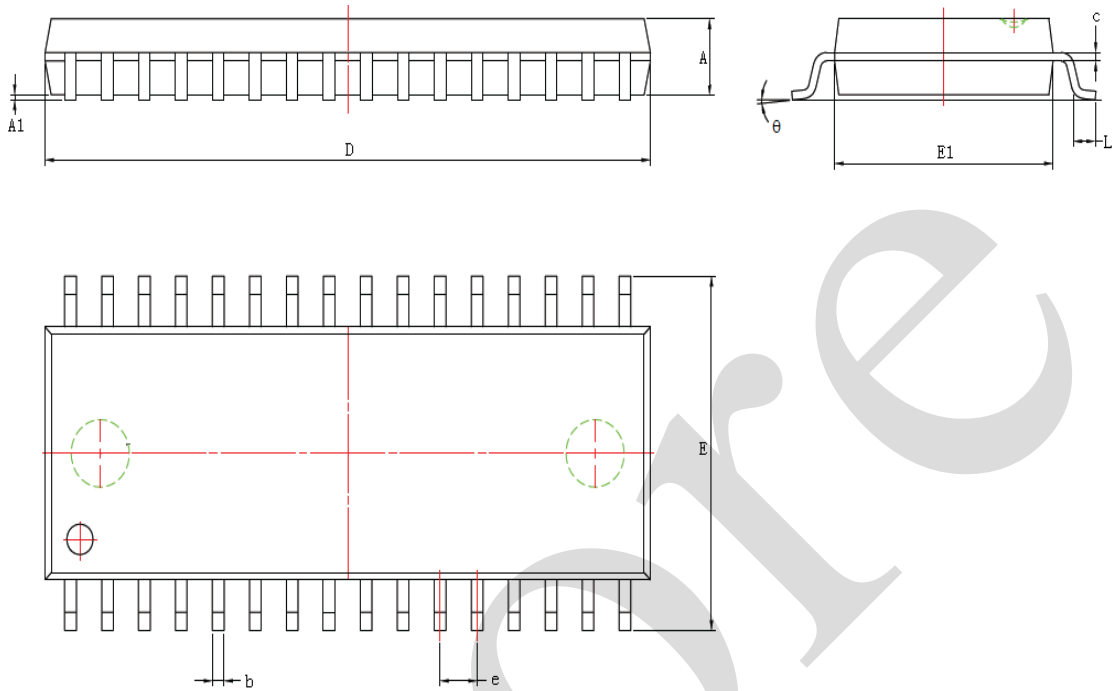
Bit	7	6	5	4	3	2	1	0
Name	LVI_EN	-	-	LVIF	-	LVI_SEL[2:0]		
R/W	R/W	-	-	R/W0	-	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	LVI_EN	LVI 模块使能位 0: 除能 1: 使能
4	LVIF	低电压状态标志位（硬件置 1 后只能软件写 0 清 0） 0: 非低电压状态 1: 低电压状态标志位
3-0	LVI_SEL[2:0]	LVI 检测电压选择位 000: 2.0V（默认值） 001: 2.2V 010: 2.4V 011: 2.7V 100: 3.0V 101: 3.3V 110: 3.6V 111: 4.0V



23 封装尺寸与外形图

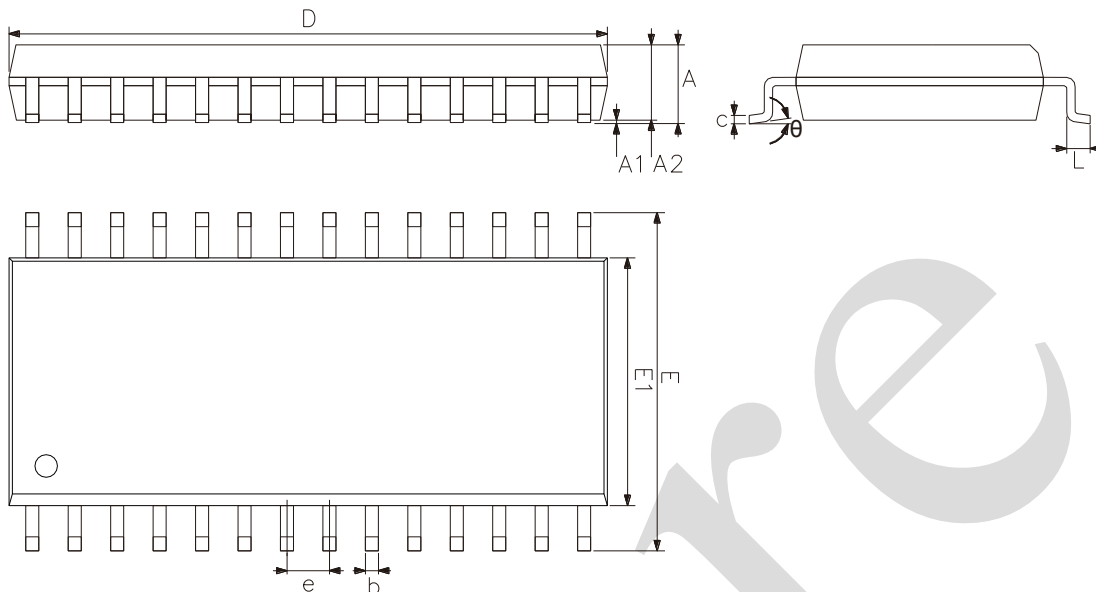
23.1 SOP32 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters		
	Symbol	Min.	Max.
	A	2.24	2.59
	A1	0.05	0.25
	E	10.20	10.60
	E1	7.40	7.62
	D	20.68	21.08
	L	0.55	0.95
	e	1.27	
	b	0.30	0.50
	c	0.25	
	θ	0°	8°



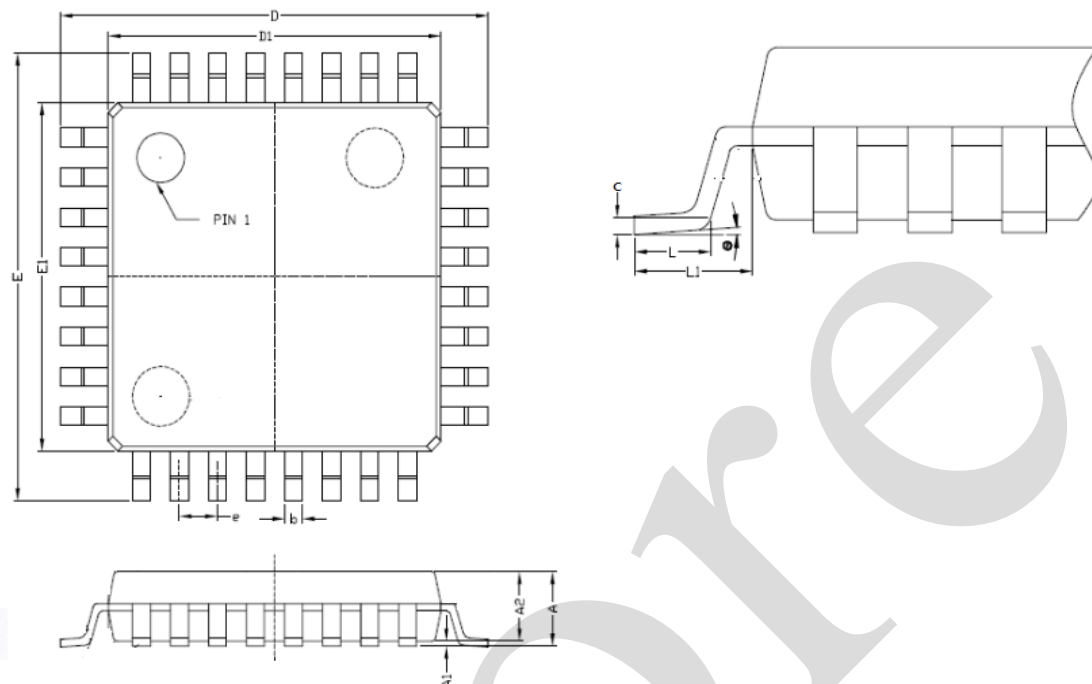
23.2 SOP28 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters		
	Symbol	Min.	Max.
	A	2.15	2.75
	A1	0.03	0.30
	A2	2.05	2.44
	b	0.35	0.51
	c	0.20	0.36
	D	17.70	18.30
	E	10.00	10.65
	E1	7.30	7.70
	e	1.27	
	L	0.40	1.27
	θ	0°	8°



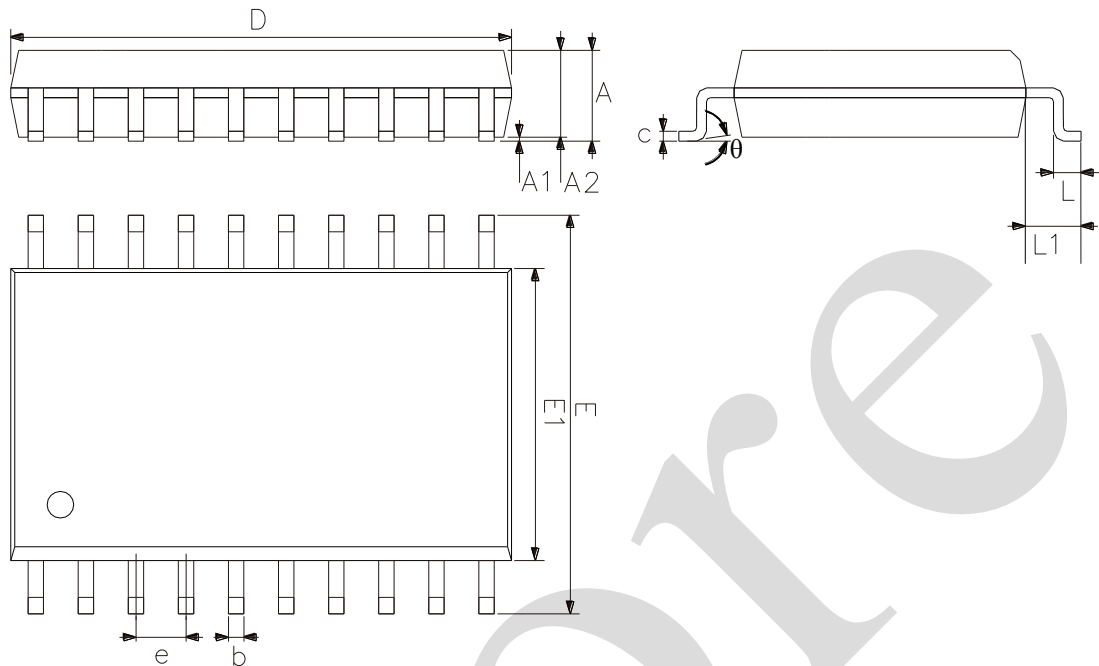
23.3 LQFP32 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters		
	Symbol	Min	Max
	A	—	1.60
	A1	0.05	0.15
	A2	1.35	1.45
	b	0.32	0.43
	c	0.13	0.18
	D	8.80	9.20
	D1	6.90	7.10
	E	8.80	9.20
	E1	6.90	7.10
	e	0.80	
	L	0.45	0.75
	L1	1.00	
	θ	0°	7°



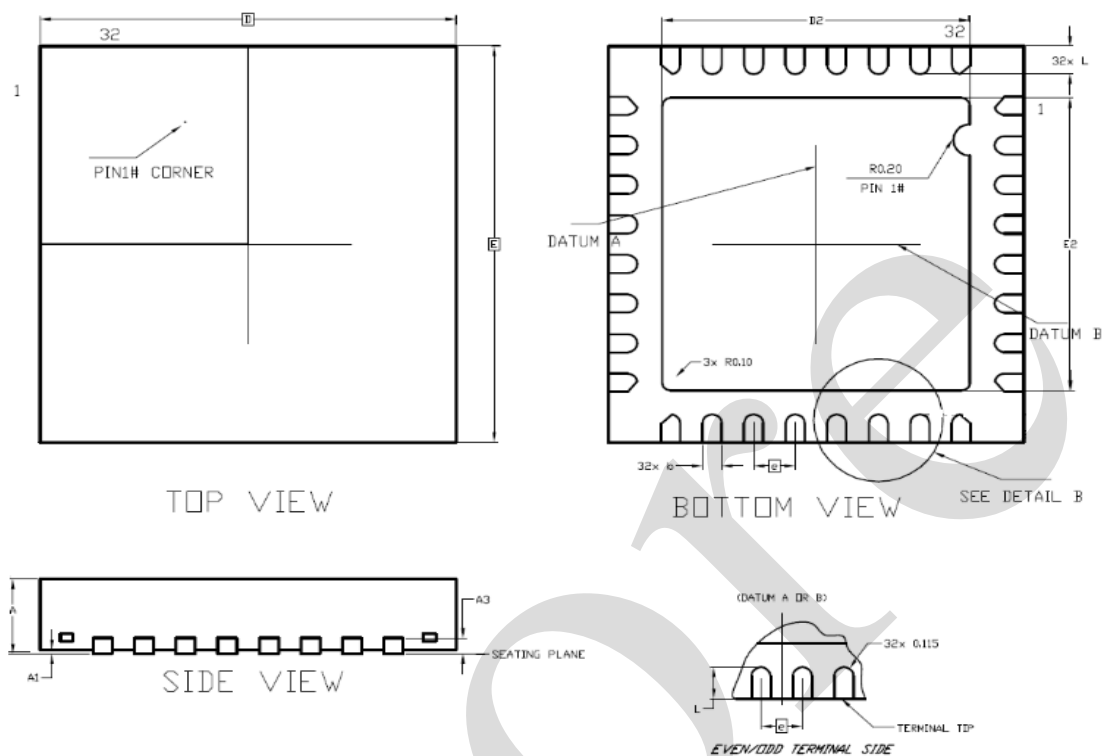
23.4 SOP20 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters	
Symbol	Min.	Max.
A	2.47	2.65
A1	0.05	0.30
A2	2.20	2.44
b	0.35	0.50
c	0.15	0.30
D	12.54	12.94
E	10.00	10.60
E1	7.30	7.70
e	1.27	
L	0.40	1.05
L1	1.30	1.50
θ	0°	8°



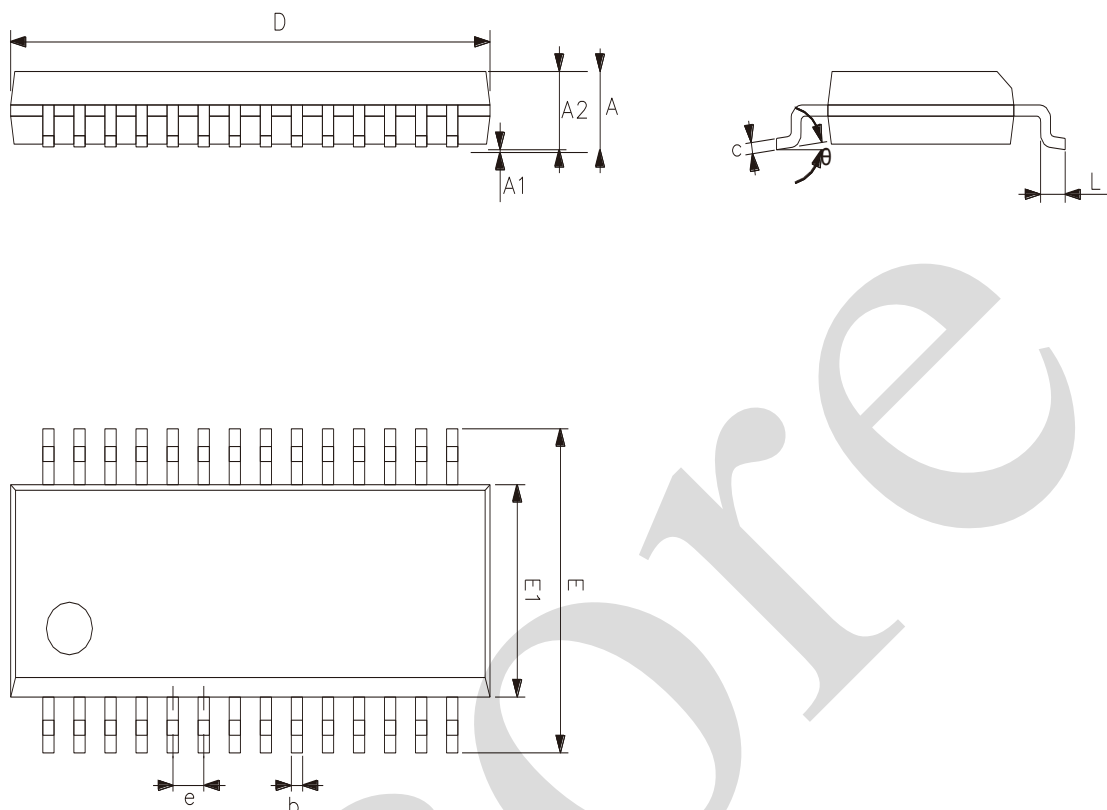
23.5 QFN32 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters		
	Symbol	Min	Max
	A	0.70	0.80
	A1	0	0.05
	A3	0.18	0.25
	b	0.18	0.30
	D	4.90	5.10
	E	4.90	5.10
	D2	3.40	3.75
	E2	3.40	3.75
	e	0.50	
	L	0.30	0.45



23.6 SSOP28 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters		
	Symbol	Min	Max
	A	—	1.75
	A1	0.02	0.25
	A2	1.30	1.60
	b	0.23	0.31
	c	0.19	0.25
	D	9.75	10.00
	E	5.80	6.45
	E1	3.75	4.00
	e	0.635	
	L	0.35	0.80
	θ	0°	8°



24 声明及注意事项

24.1 产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素									
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr (VI))	多溴联苯 (PB Bs)	多溴联苯醚 (PB DEs)	邻苯二甲酸丁酯 (DBP)	邻苯二甲酸丁苄酯 (BBP)	邻苯二甲酸二(2-乙基己基)酯 (DEHP)	邻苯二甲酸二异丁酯 (DIBP)
引线框	○	○	○	○	○	○	○	○	○	○
塑封树脂	○	○	○	○	○	○	○	○	○	○
芯片	○	○	○	○	○	○	○	○	○	○
内引线	○	○	○	○	○	○	○	○	○	○
装片胶	○	○	○	○	○	○	○	○	○	○
说明	○: 表示该有毒有害物质或元素的含量在 SJ/T11363-2006 标准的检出限以下。 ×: 表示该有毒有害物质或元素的含量超出 SJ/T11363-2006 标准的限量要求。									

24.2 注意

在使用本产品之前建议仔细阅读本资料；

本资料仅供参考，本公司不作任何明示或暗示的保证，包括但不限于适用性、特殊应用或不侵犯第三方权利等。

本产品不适用于生命救援、生命维持或安全等关键设备，也不适用于因产品故障或失效可能导致人身伤害、死亡或严重财产或环境损害的应用。客户若针对此类应用应自行承担风险，本公司不负任何赔偿责任。

客户负责对使用本公司的应用进行所有必要的测试，以避免在应用或客户的第三方客户的应用中出现故障。本公司不承担这方面的任何责任。

本公司保留随时对本资料所发布信息进行更改或改进的权利，本资料中的信息如有变化，恕不另行通知，建议采购前咨询我司销售人员。

请从本公司的正规渠道获取资料，如果由本公司以外的来源提供，则本公司不对其内容负责。