



AiP8M7008

8KB MTP ROM 的增强型

8 位微控制器

产品说明书

说明书发行履历:

版本	发行时间	新制/修订内容
2025-08-A0	2025-08	新制
2025-10-A1	2025-10	修订
2026-05-B1	2026-05	修订



目 录

1 概述	7
1.1 说明.....	7
1.2 特性.....	7
1.3 订购信息.....	8
2 功能框图及引脚说明.....	9
2.1 功能框图.....	9
2.2 引脚排列图.....	10
2.3 引脚说明.....	12
3 电气特性.....	13
3.1 极限参数.....	13
3.2 工作电压-频率	13
3.3 DC 特性.....	14
3.4 上电复位特性.....	14
3.5 LVR&LVD 电气特性	15
3.6 内部高速 RC 振荡器特性	15
3.7 内部低速 RC 振荡器特性	16
3.8 ADC 电气特性	16
3.9 OPA 电气特性	16
3.10 CMP 电气特性	17
3.11 AC 特性参数	17
4 存储器.....	18
4.1 IAP 寄存器列表	18
4.2 IAP 寄存器说明	19
4.3 程序存储器.....	19
4.3.1 ROM 读取.....	19
4.3.2 用户选项字节.....	20
4.3.3 UID	20
4.4 数据存储.....	21
4.4.1 通用寄存器.....	21
4.4.2 位寻址空间.....	21



4.4.3 堆栈.....	22
4.4.4 特殊功能寄存器.....	22
4.4.5 系统控制寄存器.....	27
5 时钟.....	30
5.1 特性.....	30
5.2 功能框图.....	30
5.3 寄存器列表.....	30
5.4 寄存器说明.....	31
6 复位.....	33
6.1 特性.....	33
6.2 功能框图.....	33
6.3 寄存器列表.....	34
6.4 寄存器说明.....	34
7 工作模式.....	35
7.1 特性.....	35
7.2 寄存器列表.....	35
7.3 寄存器说明.....	36
8 中断.....	38
8.1 特性.....	38
8.2 中断源和中断向量.....	38
8.3 中断优先级.....	39
8.4 寄存器列表.....	39
8.5 寄存器说明.....	40
9 GPIO.....	45
9.1 特性.....	45
9.2 寄存器列表.....	45
9.3 寄存器说明.....	46
10 通用定时器 T0/T1.....	49
10.1 特性.....	49
10.2 功能框图.....	49
10.3 寄存器列表.....	51



10.4 寄存器说明.....	52
10.5 功能说明.....	54
10.5.1 模式 0: 13 位定时器/计数器.....	54
10.5.2 模式 1: 16 位定时器/计数器.....	55
10.5.3 模式 2: 自动重载初值的 8 位计数器.....	56
10.5.4 模式 3: 两个 8 位计数器.....	57
11 高级定时器 T4	58
11.1 特性.....	58
11.2 功能框图.....	58
11.3 寄存器列表.....	59
11.4 寄存器说明.....	59
11.5 功能说明.....	65
11.5.1 定时模式.....	65
11.5.2 捕获模式.....	66
12 高级定时器 T5	67
12.1 特性.....	67
12.2 功能框图.....	68
12.3 寄存器列表.....	69
12.4 寄存器说明.....	70
12.5 功能说明.....	80
12.5.1 定时模式.....	81
12.5.2 PWM 模式.....	82
12.5.3 死区添加.....	85
12.5.4 非对称模式.....	86
12.5.5 REV 反相与 POL 极性控制	87
12.5.6 中断.....	88
12.5.7 通道映射.....	89
12.5.8 ADC 联动	91
12.5.9 过流检测.....	91
13 WDT	92
13.1 特性.....	92



13.2 功能框图.....	92
13.3 寄存器列表.....	92
13.4 寄存器说明.....	93
13.5 功能说明.....	95
13.5.1 看门狗复位模式.....	95
13.5.2 看门狗定时器模式.....	96
14 UART.....	97
14.1 特性.....	97
14.2 功能框图.....	97
14.3 寄存器列表.....	97
14.4 寄存器说明.....	98
14.5 功能说明.....	99
14.5.1 模式 0(8-Bit UART).....	100
14.5.2 模式 1(9-Bit UART).....	100
15 AD.....	101
15.1 特性.....	101
15.2 功能框图.....	101
15.3 寄存器列表.....	102
15.4 寄存器说明.....	102
16 OPA&CMP.....	106
16.1 特性.....	106
16.2 功能框图.....	106
16.3 寄存器列表.....	107
16.4 寄存器说明.....	107
16.5 功能说明.....	110
16.5.1 OPA.....	110
16.5.2 CMP1.....	110
16.5.3 CMP2.....	111
17 LVD.....	112
17.1 特性.....	112
17.2 寄存器列表.....	112
17.3 寄存器说明.....	112



18 封装尺寸与外形图.....	113
18.1 SSOP28 外形图与封装尺寸	113
18.2 QFN28 外形图与封装尺寸.....	114
18.3 SSOP24 外形图与封装尺寸	115
19 声明及注意事项.....	116
19.1 产品中有毒有害物质或元素的名称及含量.....	116
19.2 注意.....	116



1 概述

1.1 说明

AiP8M7008 是一款 8051 内核 MCU，内置 8KB ROM、256B XRAM、256B IRAM，内部集成 Timer0/1/4/5，UART、WDT、OPA、CMP、12 位 ADC。

1.2 特性

内核：1T 8051

工作电压：2.0V~5.5V

工作模式：

- 普通模式 (RUN)
- 空闲模式 (IDLE)
- 停止模式 (STOP)

存储器：

- RAM：256B IRAM，256B XRAM
- ROM：8KB

时钟：

- 内部高速振荡 16MHz
- 内部低速振荡 32kHz

低电压复位：

- 6 level 选择 (1.6V~3.8V)

低电压检测：

- 16 level 选择 (1.8V~4.2V)

中断：

- 5 个外部中断源，10 个内部中断源
- 中断优先级软件设置

GPIO：

- 26 个多功能双向 I/O 口，支持独立弱上下拉/弱下拉，高电平驱动 4 挡可选，输出斜率可配配置

定时器：

- 2 个 16 位通用定时器 T0/1
- 2 个 16 位高级定时器 T4/5
- Watch Dog Timer (WDT)

通信接口：

- 1 路 UART

模拟外设：

- OPA
- CMP
 - 集成 2 个比较器
 - 比较器 1 支持 3 个正端输入桥接用于反电动过零点检测
 - 比较器 1 原始输出可选内部时钟消抖 (8/16/32 个系统时钟)
 - 比较器 1 输出极性可配置，输出可关联至端口
 - 比较器 1 中断触发边沿可配置 (上升沿、下降沿、双边沿)
 - 比较器 2 正端输入内部参考电压可选，负端输入来源于外部端口
 - 比较器 2 中断可触发 PWM 硬件过流保护

■ ADC

- 12 位 A/D 转换器，支持 15 个模拟输入通道，内部 VREF1V
- 内部 2V/3V/4V/VDD 基准
- AD 转换时钟可选
- 采样时间 2/4/8/16 个可配置
- 支持 ADC 硬件触发 (与 T5 联动)

工作温度：-40~+105℃

封装类型：

- SSOP28/SSOP24
- QFN28



1.3 订购信息

管装:

产品料号	封装形式	打印标识	管装数	盒装管	盒装数	备注说明
AiP8M7008VB28.TB	SSOP28	AiP8M7008	50PCS/管	200管/盒	10000PCS/盒	塑封体尺寸: 9.9mm×3.9mm 引脚间距: 0.635mm
AiP8M7008VB24.TB	SSOP24	AiP8M7008	50PCS/管	200管/盒	10000PCS/盒	塑封体尺寸: 8.7mm×3.9mm 引脚间距: 0.635mm

编带:

产品料号	封装形式	打印标识	编带盘装数	编带盒装数	备注说明
AiP8M7008VB28.TR	SSOP28	AiP8M7008	4000PCS/盘	8000PCS/盒	塑封体尺寸: 9.9mm×3.9mm 引脚间距: 0.635mm
AiP8M7008VB24.TR	SSOP24	AiP8M7008	4000PCS/盘	8000PCS/盒	塑封体尺寸: 8.7mm×3.9mm 引脚间距: 0.635mm
AiP8M7008QB28.TR	QFN28	AiP8M7008	4000PCS/盘	8000PCS/盒	塑封体尺寸: 4.0mm×4.0mm 引脚间距: 0.4mm

注: 订购信息与实物不符时, 以实物为准。



2 功能框图及引脚说明

2.1 功能框图

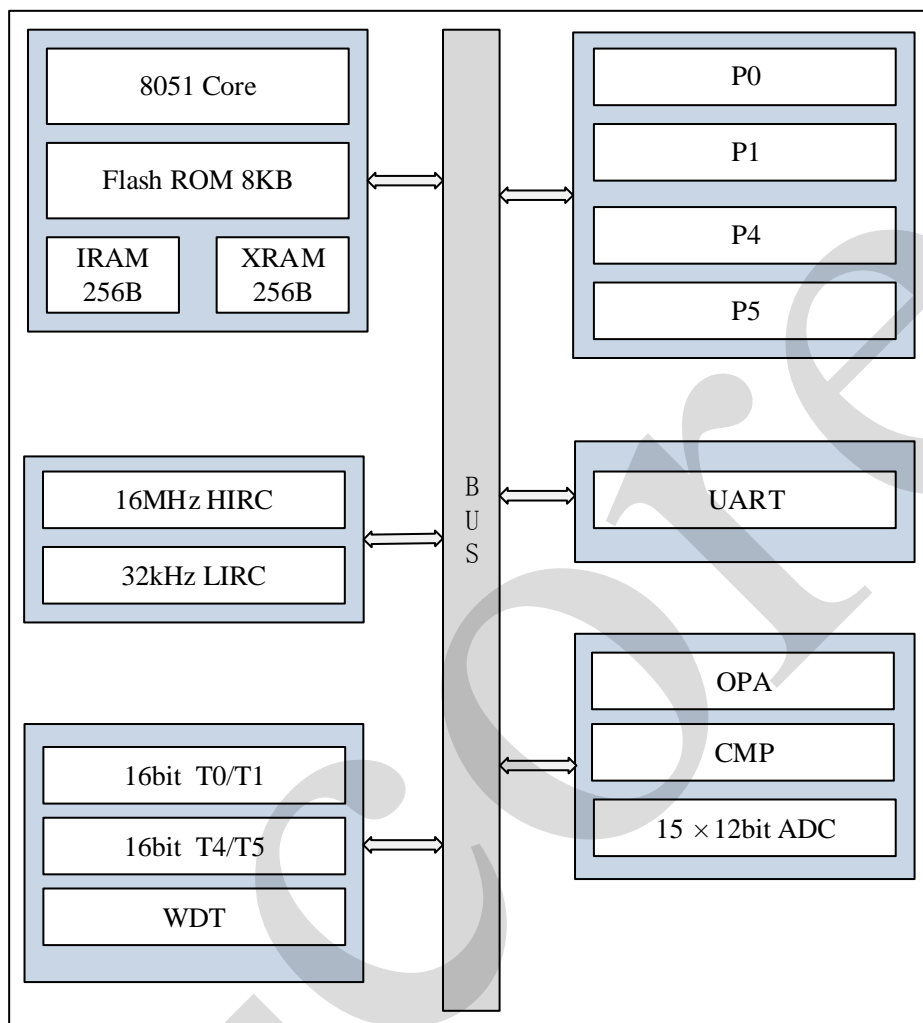


图 2.1.1系统框图



2.2 引脚排列图

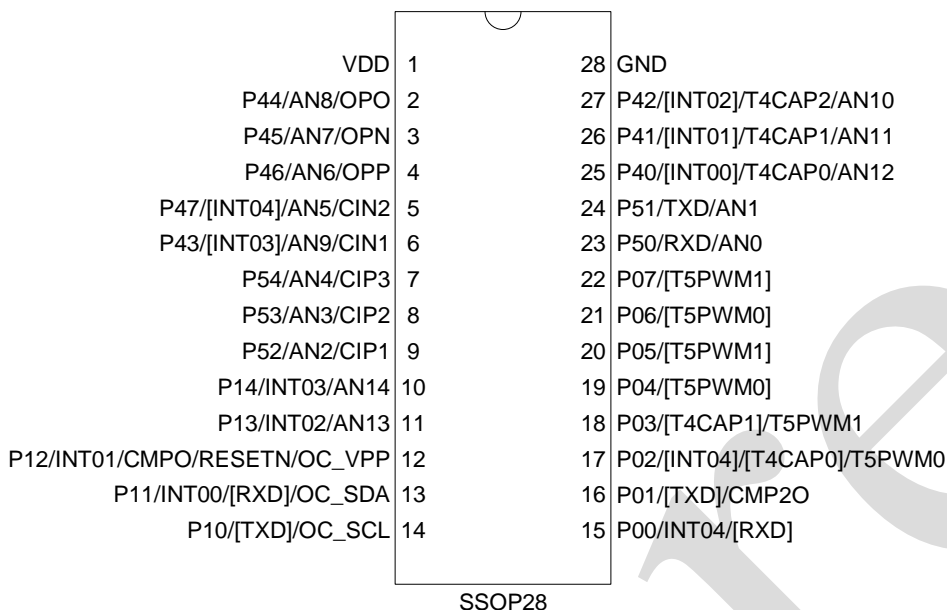


图 2.2.1 SSOP28 引脚排列图

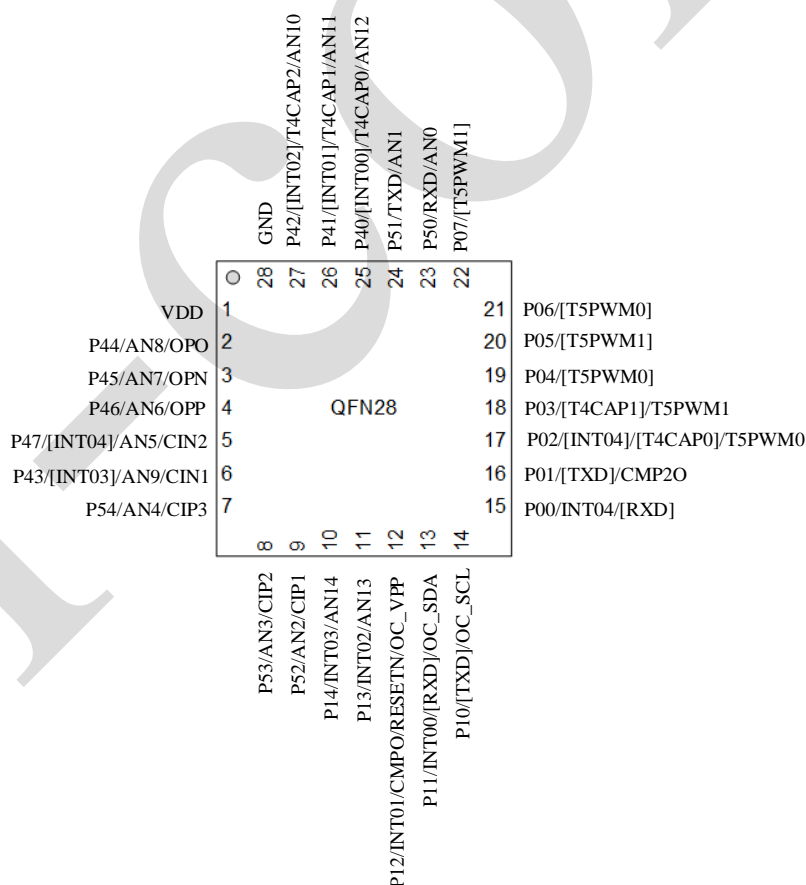


图 2.2.2 QFN28 引脚排列图



VDD	1	24	GND
P44/AN8/OPO	2	23	P42/[INT02]/T4CAP2/AN10
P45/AN7/OPN	3	22	P41/[INT01]/T4CAP1/AN11
P46/AN6/OPP	4	21	P40/[INT00]/T4CAP0/AN12
P47/[INT04]/AN5/CIN2	5	20	P51/TXD/AN1
P43/[INT03]/AN9/CIN1	6	19	P50/RXD/AN0
P54/AN4/CIP3	7	18	P07/[T5PWM1]
P53/AN3/CIP2	8	17	P06/[T5PWM0]
P52/AN2/CIP1	9	16	P05/[T5PWM1]
P12/INT01/CMPO/RESETN/OC_VPP	10	15	P04/[T5PWM0]
P11/INT00/[RXD]/OC_SDA	11	14	P03/[T4CAP1]/T5PWM1
P10/[TXD]/OC_SCL	12	13	P02/[INT04]/[T4CAP0]/T5PWM0

SSOP24

图 2.2.3 SSOP24 引脚排列图



2.3 引脚说明

表 2.3.1 引脚说明

引脚名称	类型	说明
IO 引脚		
P00~P07	I/O	普通 IO 口, 可配置为内部上、下拉
P10~P14	I/O	普通 IO 口, 可配置为内部上、下拉
P40~P47	I/O	普通 IO 口, 可配置为内部上、下拉
P50~P54	I/O	普通 IO 口, 可配置为内部上、下拉
定时器引脚		
T5PWM0~T5PWM1	O	T5 PWM0~1 输出
T4CAP0~T4CAP2	I	T4 捕获端口
通讯引脚		
TXD	O	UART 数据输出引脚
RXD	I	UART 数据输入引脚
ADC 引脚		
AN0~AN14	I	AD 输入引脚
运放&比较器引脚		
OPN	I	运放负端
OPP	I	运放正端
OPO	O	运放输出端
CIP1~CIP3	I	比较器 1 同相输入端
CIN1	I	比较器 1 反相输入端
CIN2	I	比较器 2 反相输入端
CMPO	O	比较器 1 输出端
CMP2O	O	比较器 2 输出端
特殊引脚		
INT00~INT04	I	外部中断输入
RESETN	I	外部复位引脚
VDD	P	电源
GND	G	地
仿真、烧录接口		
OC_SDA (P11)	I/O	仿真、烧录串行数据
OC_SCL (P10)	I	仿真、烧录串行时钟
OC_VPP (P12)	I	烧录高压输入



3 电气特性

3.1 极限参数

表 3.1.1 极限参数

符号	参数名称	最小	最大	单位
VDD	供电电压	GND-0.3	+6.0	V
V _{IN}	输入电压	GND-0.3	VDD+0.3	V
V _{OUT}	输出电压	GND-0.3	VDD+0.3	V
I _{VDD}	VDD 最大电流	-	-150	mA
I _{GND}	GND 最大电流	-	100	mA
T _A	工作温度	-40	+105	°C
T _{stg}	储存温度	-60	+150	°C
T _L	焊接温度	260		°C

注:

- 1、 这是一个额定值，如果对芯片的操作超过极限参数所规定的范围，将对芯片造成损坏。

3.2 工作电压-频率

表 3.2.1 工作频率电压特性 (T_A=25°C, 除非另有说明)

符号	参数名称	条件	最小	典型	最大	单位
VDD	工作电压	f _{sys} =4MHz T _A =-40~+105°C	1.8	-	5.5	V
		f _{sys} =8MHz T _A =-40~+105°C	2.7	-	5.5	V
		f _{sys} =16MHz T _A =-40~+105°C	3.5	-	5.5	V
		f _{sys} =32kHz T _A =-40~+105°C	2	-	5.5	V



3.3 DC 特性

表 3.3.1 DC 特性 (T_A=25°C, 除非另有说明)

符号	参数名称	测试条件		最小	典型	最大	单位
I _{DD1} (RUN)	工作电流	VDD=5V	f _{sys} =16MHz	-	7	14	mA
		VDD=5V	f _{sys} =8MHz	-	4	8	
		VDD=3V		-	3	6	
		VDD=5V	f _{sys} =32kHz	-	90	180	μA
		VDD=3V		-	80	160	
I _{STB1} (IDLE)	待机电流 (空闲模式)	VDD=5V	f _{sys} =16MHz	-	3	6	mA
I _{STB2} (STOP)	待机电流 (停止模式)	VDD=5V	无负载,所有外围设备 关闭,LVR 关闭	-	1.5	3	μA
		VDD=3V		-	0.5	1	
V _{IH}	输入高电平	VDD=5V, CMOS		0.7VDD	-	VDD	V
		VDD=5V, TTL		0.4VDD		VDD	
V _{IL}	输入低电平	VDD=5V, CMOS		0	-	0.3VDD	V
		VDD=5V, TTL		0		0.2VDD	
I _{OH}	输出高电流	VDD=5V	V _{OH} =0.9VDD, Level 0	-	4	8	mA
		VDD=3V		-	1.5	3	
		VDD=5V	V _{OH} =0.9VDD, Level 1	-	8	16	
		VDD=3V		-	3	6	
		VDD=5V	V _{OH} =0.9VDD, Level 2	-	11	22	
		VDD=3V		-	5	10	
		VDD=5V	V _{OH} =0.9VDD, Level 3	-	21	42	
		VDD=3V		-	9	18	
I _{OL}	输出低电流	VDD=5V	V _{OL1} =0.1VDD, Level 0	-	30	60	mA
		VDD=3V		-	12	24	
R _{PU}	上拉电阻	VDD=5V	所有输入管脚	-	24	-	kΩ
		VDD=3V		-	27	-	
R _{PD}	下拉电阻	VDD=5V	所有输入管脚	-	24	-	kΩ
		VDD=3V		-	27	-	
I _{IH}	输入高漏电流	VDD=5V, 所有输入管脚		-	-	1	μA
I _{IL}	输入低漏电流	VDD=5V, 所有输入管脚		-1	-	-	μA

3.4 上电复位特性

表 3.4.1 上电复位特性 (T_A=25°C, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
V _{POR}	复位电平	-	-	1.5	-	V
t _{VDD}	VDD 上电斜率	-	0.05	-	30	V/ms
I _{POR}	POR 电流	-	-	1	-	uA



3.5 LVR&LVD 电气特性

表 3.5.1 LVR&LVD 电气特性 (T_A=25°C, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
V _{LVR}	低压复位	-	-	1.6	-	V
			-	1.9	-	
			-	2.4	-	
			-	2.6	-	
			-	3.2	-	
			-	3.8	-	
V _{LVD}	低压检测	-	-	1.8	-	V
			-	2.0	-	
			-	2.1	-	
			-	2.2	-	
			-	2.4	-	
			-	2.5	-	
			-	2.6	-	
			-	2.7	-	
			-	2.8	-	
			-	3.0	-	
			-	3.2	-	
			-	3.4	-	
			-	3.6	-	
			-	3.8	-	
-	4.0	-				
-	4.2	-				
ΔV	迟滞电压	-	-	0.1	0.2	V

3.6 内部高速 RC 振荡器特性

表 3.6.1 内部高速 RC 振荡器特性 (T_A=25°C, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
f _{HIRC}	内部高速振荡频率 (HIRC)	VDD=3.5~5.5V	-	16	-	MHz
-	频率-温度特性	VDD=5.0V, T _A =0°C~+50°C	-1	-	+1	%
		VDD=5.0V, T _A =-20°C~+85°C	-2	-	+2	
		VDD=5.0V, T _A =-40°C~+105°C	-3	-	+3	



3.7 内部低速 RC 振荡器特性

表 3.7.1 内部低速 RC 振荡器特性 ($T_A=25^\circ\text{C}$, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
f_{LIRC}	内部低速振荡频率 (LIRC)	VDD=5.0V	-	32	-	kHz
-		VDD=3.0V	-	32	-	kHz
-	频率-温度特性	VDD=5.0V, $T_A=-40\sim+105^\circ\text{C}$	-60	-	60	%

3.8 ADC 电气特性

表 3.8.1 ADC 电气特性 (VDD=5V, $T_A=25^\circ\text{C}$, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
V_{AD}	ADC 工作电压	-	2.0	5.0	5.5	V
INL	积分非线性误差	$V_{REF}=V_{DD}$ $T_{cycle}=4T$	-	8	16	LSB
DNL	微分非线性误差	$V_{REF}=V_{DD}$ $T_{cycle}=4T$	-	8	16	
V_{AIN}	输入电压	-	0	-	V_{REF}	V
Z_{AIN}	输入阻抗	-	-	2	-	k Ω
T_{cycle}	ADC 时钟周期	-	-	125	62.5	ns
T_{AD}	ADC 转换周期	-	-	13	-	TAD
V_{REF1}	内部 2V 参考电压	VDD=5.0V, $T_A=-40\sim+85^\circ\text{C}$	-	2.0	-	V
V_{REF2}	内部 3V 参考电压	VDD=5.0V, $T_A=-40\sim+85^\circ\text{C}$	-	3.0	-	V
V_{REF3}	内部 4V 参考电压	VDD=5.0V, $T_A=-40\sim+85^\circ\text{C}$	-	4.0	-	V

3.9 OPA 电气特性

表 3.9.1 OPA 特性 (VDD=5V, $T_A=25^\circ\text{C}$, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
VDD	工作电压	-	2.0	-	5.5	V
V_{OS}	输入失调	-	-5	-	5	mV
VCM	共模电压范围	CMRR>50dB	-	-	VDD-1.4	V
PSRR	电源抑制比	-	60	80	-	dB
CMRR	共模抑制比	$R_{LOAD}=1M, C_{LOAD}=100p$	60	80	-	dB
Loop-Gain	开环增益	$R_{LOAD}=1M, C_{LOAD}=100p$	-	80	-	dB
SR+	正摆率	-	-	-	10	V/ μs
SR-	负摆率	-	-	-	10	V/ μs
GBW	增益带宽	$R_{LOAD}=1M, C_{LOAD}=100p$	-	2	-	MHz



3.10 CMP 电气特性

表 3.10.1 CMP 特性 (VDD=5V, T_A=25°C, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
VCC	工作电压范围	-	2.2	-	5.5	V
V _{OS}	输入失调	-	-7	-	9	mV
V _{HYS}	迟滞电压	-	-	-	15	mV
T _S	小信号响应时间	V _{IN} =1V±0.1V	-	1000	-	ns

3.11 AC 特性参数

表 3.11.1 AC 特性 (T_A=25°C, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
t _{RESET}	外部复位最小脉宽	VDD=5V	100	-	-	μs
t _{INT}	外部中断最小脉宽	VDD=5V	280	-	-	ns



4 存储器

AiP8M7008 有两个独立的存储器空间，程序存储器和数据存储器，下图所示是存储器组织结构图。

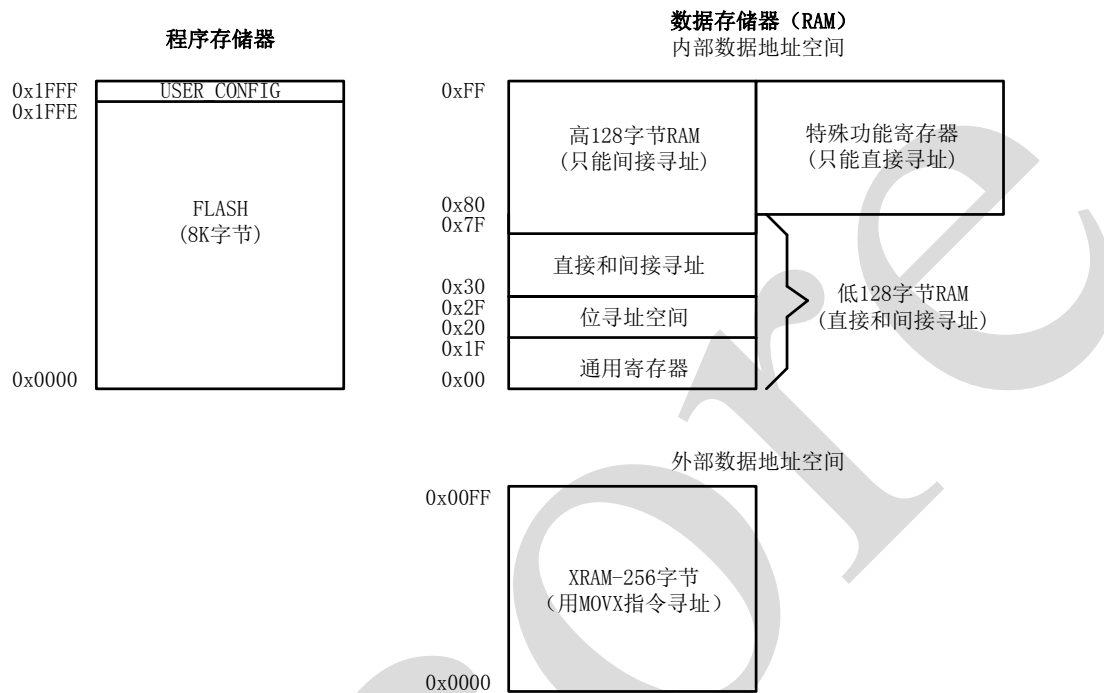


图 3.11.1 存储器组织结构图

4.1 IAP 寄存器列表

表 4.1.1 IAP 寄存器列表

名称	地址	描述	初值
FSCR	ECH	IAP 控制寄存器	00H



4.2 IAP 寄存器说明

表 4.2.1 FSCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	INFO_EN	-	-	-	-	-	-
R/W	-	R/W	-	-	-	-	-	-
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	INFO_EN	INFO 读取使能位 0: 除能 1: 使能 此位为 INFO 读取使能位，对 INFO 读取前需将此位置高

4.3 程序存储器

程序存储器包含 8KB ROM，用来存放用户程序。

4.3.1 ROM 读取

存储器可以一次读一个字节，读操作通过 MOVCR 指令实现。

例如读取 0x0300H 地址的数据，则可执行下述程序：

```
#include <absacc.h>
unsigned char dat;

KEYCR = 0x3C;
KEYCR = 0x02;
KEYCR = 0xA1;

dat = CBYTE[0x0300];
KEYCR = 0x00;
```



4.3.2 用户选项字节

程序区的地址 0x1FFF 为用户选项字节 USER_CONFIG。

Bit	7	6	5	4	3	2	1	0
Name	-	P5_TTL	P4_TTL	NRST_EL	-	P1_TTL	P0_TTL	LOCK_EL

位	字段	描述
6	P5_TTL	P5 端口 TTL 电平使能控制 0: 使能 1: 除能
5	P4_TTL	P4 端口 TTL 电平使能控制 0: 使能 1: 除能
4	NRST_EL	P12 I/O 或 RESETN 功能选择位 0: RESETN 1: I/O
2	P1_TTL	P1 端口 TTL 电平使能控制 0: 使能 1: 除能
1	P0_TTL	P0 端口 TTL 电平使能控制 0: 使能 1: 除能
0	LOCK_EL	代码保密使能位 0: 使能 1: 除能

4.3.3 UID

每颗芯片出厂后都固化有一个 96 位的可读识别码，它是无法擦除的，可以由程序或编程工具读出。

Demo 程序如下：

```
#include <absacc.h>
unsigned char UID[12];
KEYCR = 0x3C; KEYCR = 0x02; KEYCR = 0xA1;
FSCR = 0x40;
UID[0] = CBYTE[0x0028];
UID[1] = CBYTE[0x0029];
UID[2] = CBYTE[0x002A];
UID[3] = CBYTE[0x002B];
UID[4] = CBYTE[0x002C];
UID[5] = CBYTE[0x002D];
UID[6] = CBYTE[0x002E];
```



UID[7] = CBYTE[0x002F];

UID[8] = CBYTE[0x0030];

UID[9] = CBYTE[0x0031];

UID[10] = CBYTE[0x0032];

UID[11] = CBYTE[0x0033];

FSCR = 0x00;

KEYCR = 0x00;

4.4 数据存储器

AiP8M7008 的数据存储器空间中有 256B 的内部 RAM, 位于 0x00 到 0xFF 的地址空间。

数据存储器中的低 128B 为通用寄存器, 可以用直接或间接寻址方式访问。其中 0x00 到 0x1F 为 4 个通用寄存器区, 每个区有 8 个 8 位寄存器; 地址 0x20 到 0x2F, 既可以按字节寻址又可以作为 128 个位地址用直接位寻址方式访问。

数据存储器中的高 128B 只能用间接寻址访问, 该存储区与特殊功能寄存器 (SFR) 占据相同的地址空间, 但物理上与 SFR 空间分开。当使用直接寻址方式的指令访问高于 0x7F 的地址时, 将访问 SFR 空间; 当使用间接寻址方式的指令访问高于 0x7F 的地址时, 将访问数据存储器的高 128 字节。

4.4.1 通用寄存器

从地址 0x00 到 0x1F, 可以作为 4 个通用寄存器区访问, 每个区有 8 个 8 位寄存器, 称为 R0-R7。在同一时刻只能选择一个寄存器区, 程序状态字中的 RS0(PSW.3)和 RS1(PSW.4)位用于选择当前的寄存器区, 间接寻址方式使用 R0 和 R1 作为间址寄存器。

4.4.2 位寻址空间

从地址 0x20 到 0x2F 的 16 个数据存储器单元可以作为 128 个独立寻址位访问。每个位有一个位地址, 从 0x00 到 0x7F。位于地址 0x20 的数据字节的 BIT0 位地址为 0x00, 位于 0x20 的数据字节的 BIT7 位地址为 0x07, 位于 0x2F 的数据字节的 BIT7 位地址为 0x7F。由所用指令的类型来区分是位寻址还是字节寻址。



4.4.3 堆栈

程序的堆栈可以位于 256B 数据存储器中的任何位置，堆栈区域用堆栈指针 (SP, 0x81) 指定，SP 指向最后使用的位置。下一个压入堆栈的数据将被存放在 SP+1，然后 SP 加 1，堆栈深度最大 256 级。

复位后堆栈指针被初始化为地址 0x07，因此第一个被压入堆栈的数据将被存放在地址 0x08，这也是寄存器区 1 的第一个寄存器 (R0)。如果使用不止一个寄存器区，SP 应被初始化为数据存储器中不用于数据存储的位置。

4.4.4 特殊功能寄存器

从地址 0x80 到 0xFF，采用直接寻址存储器空间为特殊功能寄存器 (SFR)。通过操作 SFR 对 AiP8M7008 系统和外设的控制及数据交换。用直接寻址方式访问 0x80~0xFF 的存储器空间将访问特殊功能寄存器 (SFR)，地址以 0x0 或 0x8 结尾的 SFR (例如 ACC、IE、EIE、PSW 等) 既可以按字节寻址也可以按位寻址，所有其它 SFR 只能按字节寻址。部分寄存器 (FSCR、CKCR、SYSCR1、SYSCR2、SYSCR) 有 KEYCODE 设计，出于软件安全的考虑，在将数据写入该 SFR 之前，必须先按顺序正确地将 KEYCODE 数值写入到 KEYCR 寄存器中。SFR 空间中未使用的地址保留，访问这些地址会产生不确定的结果，应予避免。

下表列出了 AiP8M7008 系统控制器中的全部 SFR，有关每个寄存器的详细说明请参见各章节寄存器说明。



表 4.4.1 特殊功能寄存器地址映射表 PAGE0

高 5 位地址	低 3 位地址							
	0H	1H	2H	3H	4H	5H	6H	7H
F8H	EIP	EIPOL0	EIPOL1	-	-	-	SYSCR1 ^{注1}	SYSCR2 ^{注1}
F0H	B	-	-	-	-	-	-	-
E8H	EIE	RSTFR	LVRRCR	LVICR	FSCR ^{注2}	FSRDCR	OSCCR	CKCR ^{注1}
E0H	ACC	-	LCMCR0	LCMCR1	-	EXTINTEN	-	EXTINTF
D8H	-	-	-	-	-	-	-	-
D0H	PSW	-	-	-	-	S0RELL	S0RELH	KEYCR
C8H	P5	SYSCR ^{注1}	P5IO	P5AT	P5SR	P5DC	SLEDC	-
C0H	P4	-	P4IO	P4AT	P4SR	P4DC	-	-
B8H	IP	-	P1IO	P1AT	P1SR	P1DC	-	-
B0H	-	-	-	-	-	-	-	-
A8H	IE	-	P0IO	P0AT	P0SR	P0DC	-	-
A0H	-	-	-	-	-	-	-	-
98H	S0CON	S0BUF	-	-	-	-	-	-
90H	P1	-	WDTDR	WDTCR	FRECR	FRECNT	-	PAGESW
88H	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	TCON1
80H	P0	SP	DPL	DPH	DPL1	DPH1	DPS	PCON



表 4.4.2 特殊功能寄存器地址映射表 PAGE1

高 5 位地址	低 3 位地址							
	0H	1H	2H	3H	4H	5H	6H	7H
F8H	EIP	-	-	-	-	-	SYSCR1 ^{注1}	SYSCR2 ^{注1}
F0H	B	-	-	-	-	-	-	-
E8H	EIE	RSTFR	LVRCCR	LVICR	FSCR ^{注2}	FSRDCR	OSCCR	CKCR ^{注1}
E0H	ACC	-	-	-	-	-	-	EXTINTF
D8H	-	-	-	-	-	-	-	-
D0H	PSW	-	-	-	-	SORELL	SORELH	KEYCR
C8H	P5	SYSCR ^{注1}	-	-	-	-	-	-
C0H	P4	-	-	-	-	-	-	-
B8H	IP	-	-	-	-	-	-	-
B0H	-	-	-	-	-	-	-	-
A8H	IE	-	-	-	-	-	-	-
A0H	-	-	-	-	-	-	-	-
98H	S0CON	S0BUF	-	-	-	-	-	-
90H	P1	-	WTDTR	WDTCR	FRECR	FRECNT	-	PAGESW
88H	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	TCON1
80H	P0	SP	DPL	DPH	DPL1	DPH1	DPS	PCON



表 4.4.3 特殊功能寄存器地址映射表 PAGE2

高 5 位地址	低 3 位地址							
	0H	1H	2H	3H	4H	5H	6H	7H
F8H	EIP	-	-	-	-	-	SYSCR1 ^{注1}	SYSCR2 ^{注1}
F0H	B	-	-	-	-	-	-	-
E8H	EIE	RSTFR	LVRCCR	LVICR	FSCR ^{注2}	FSRDCR	OSCCR	CKCR ^{注1}
E0H	ACC	-	-	-	-	-	-	EXTINTF
D8H	-	T4LPFSEL	-	-	-	-	-	-
D0H	PSW	-	-	-	-	SORELL	SORELH	KEYCR
C8H	P5	SYSCR ^{注1}	T4CAP1L	T4CAP1H	T4CAP2L	T4CAP2H	-	-
C0H	P4	-	T4CAPCR1	-	T4CAPINTEN	T4CAPINTF	T4CAP0L	T4CAP0H
B8H	IP	-	T4CR	T4PLOADL	T4PLOADH	T4L	T4H	T4CAPCR0
B0H	-	-	-	-	-	-	-	-
A8H	IE	-	-	-	-	-	-	-
A0H	-	-	-	-	-	-	-	-
98H	S0CON	S0BUF	-	-	-	-	-	-
90H	P1	-	WTDTR	WDTCR	FRECR	FRECNT	-	PAGESW
88H	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	TCON1
80H	P0	SP	DPL	DPH	DPL1	DPH1	DPS	PCON



表 4.4.4 特殊功能寄存器地址映射表 PAGE3

高 5 位地址	低 3 位地址							
	0H	1H	2H	3H	4H	5H	6H	7H
F8H	EIP	-	-	-	-	-	SYSCR1 ^{注1}	SYSCR2 ^{注1}
F0H	B	OPACR0	-	CMPCR0	CMPCR1	CMPCR2	-	-
E8H	EIE	RSTFR	LVRCCR	LVICR	FSCR ^{注2}	FSRDCR	OSCCR	CKCR ^{注1}
E0H	ACC	-	-	-	-	-	-	EXTINTF
D8H	-	ADCCR0	ADCCR1	ADCCR2	ADCDRL	ADCDRH	ADCAN0	ADCAN1
D0H	PSW	-	-	-	-	SORELL	SORELH	KEYCR
C8H	P5	SYSCR ^{注1}	-	-	T5ADCTRGEN	T5PWMINTEN	T5PWMINTF	-
C0H	P4	-	T5ADCTR G1L	T5ADCTR 1H	T5END0L	T5END0H	T5END1L	T5END1H
B8H	IP	-	-	-	-	-	T5ADCTR G0L	T5ADCTR G0H
B0H	-	-	T5CCP1L	T5CCP1H	-	-	-	-
A8H	IE	-	T5PWMCR 2	T5PWMCR 3	T5PWMOV RD	T5PWMDT CR	T5CCP0L	T5CCP0H
A0H	-	-	-	-	-	-	T5PWMCR0	T5PWMCR1
98H	S0CON	S0BUF	T5CR	T5PLOADL	T5PLOADH	T5L	T5H	-
90H	P1	-	WDTDR	WDTCR	FRECR	FRECNT	-	PAGESW
88H	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	TCON1
80H	P0	SP	DPL	DPH	DPL1	DPH1	DPS	PCON

注：灰色部分的寄存器不需要设置选取页。

- 1、需预先写入 KEYCR 解锁写保护：3C、02、A0，写结束后写入 00 打开写保护
- 2、需预先写入 KEYCR 解锁写保护：3C、02、A1，写结束后写入 00 打开写保护



表 4.4.5 PAGESW 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PAGEOP[1:0]		STOREERR	PAGESP[1:0]		-	PAGENUM[1:0]	
R/W	W	W	R/W0	R	R	-	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	PAGEOP[1:0]	PAGENUM 加载或还原控制位 0X: 通过 CPU 写和禁用 PAGESP, 直接更新 PAGENUM 数据。 10: 最新的 PAGE 数据写入 PAGENUM, 同时 PAGENUM 之前的数据内容保存在 PAGESP 指定的存储器中。 11: PAGENUM 被 PAGESP 指定的存储器内容覆盖, CPU 写命令被忽略。
5	STOREERR	显示 PAGEN 的存储/还原功能的状态位 (软件写 0 清零, 写 1 无影响) 0: PAGE 数据内容的存储/还原功能正常运行 1: PAGE 数据内容的存储/还原功能异常, 因为连续存储/还原超过两次
4-3	PAGESP[1:0]	页面数据存储指针
1-0	PAGENUM[1:0]	指示当前活跃的 SFR 页面位 00: PAGE 0 01: PAGE 1 10: PAGE 2 11: PAGE 3

4.4.5 系统控制寄存器

表 4.4.6 ACC 累加器

Bit	7	6	5	4	3	2	1	0
Name	ACC							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.7 B 寄存器

Bit	7	6	5	4	3	2	1	0
Name	B							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.8 SP 堆栈指针

Bit	7	6	5	4	3	2	1	0
Name	SP							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	1	1	1



表 4.4.9 DPL 数据指针寄存器 Low

Bit	7	6	5	4	3	2	1	0
Name	DPL							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.10 DPH 数据指针寄存器 High

Bit	7	6	5	4	3	2	1	0
Name	DPH							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.11 DPL1 数据指针寄存器 Low1

Bit	7	6	5	4	3	2	1	0
Name	DPL1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.12 DPH1 数据指针寄存器 High1

Bit	7	6	5	4	3	2	1	0
Name	DPH1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.13 PSW 程序状态寄存器

Bit	7	6	5	4	3	2	1	0
Name	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述																				
7	CY	进位标志																				
6	AC	辅助进位标志																				
5	F0	通用用户可定义标志																				
4-3	RS[1:0]	寄存器组选择位																				
		<table border="1"> <thead> <tr> <th>RS1</th> <th>RS0</th> <th>寄存器</th> <th>地址</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0x00-0x07</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0x08-0x0F</td> </tr> <tr> <td>1</td> <td>0</td> <td>2</td> <td>0x10-0x17</td> </tr> <tr> <td>1</td> <td>1</td> <td>3</td> <td>0x18-0x1F</td> </tr> </tbody> </table>	RS1	RS0	寄存器	地址	0	0	0	0x00-0x07	0	1	1	0x08-0x0F	1	0	2	0x10-0x17	1	1	3	0x18-0x1F
		RS1	RS0	寄存器	地址																	
		0	0	0	0x00-0x07																	
		0	1	1	0x08-0x0F																	
1	0	2	0x10-0x17																			
1	1	3	0x18-0x1F																			



2	OV	溢出标志 该位在下列情况下被置 1： ADD、ADDC 或 SUBB 指令引起符号位变化溢出。 MUL 指令引起溢出（结果大于 255）。 DIV 指令的除数为 0。 ADD、ADDC、SUBB、MUL 和 DIV 指令的其它情况使该位清 0。
1	F1	用户可定义标志
0	P	奇偶标志。每个指令周期通过硬件设置/清除来表示累加器中 1 的数量的奇偶

表 4.4.14 DPS 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
0	DPSEL	0: DPTR 1: DPTR1



5 时钟

5.1 特性

MCU 可选择的主时钟源有：内部高速 RC 振荡（HIRC）、内部低速 RC 振荡（LIRC），上电默认选择 HIRC 作为主时钟，每个时钟源可由特殊功能寄存器控制独立使能，系统时钟分频可选不分频或者进行 2、4、8 或 16 分频。

- 2 种系统时钟源可选
- 系统时钟分频可选

5.2 功能框图

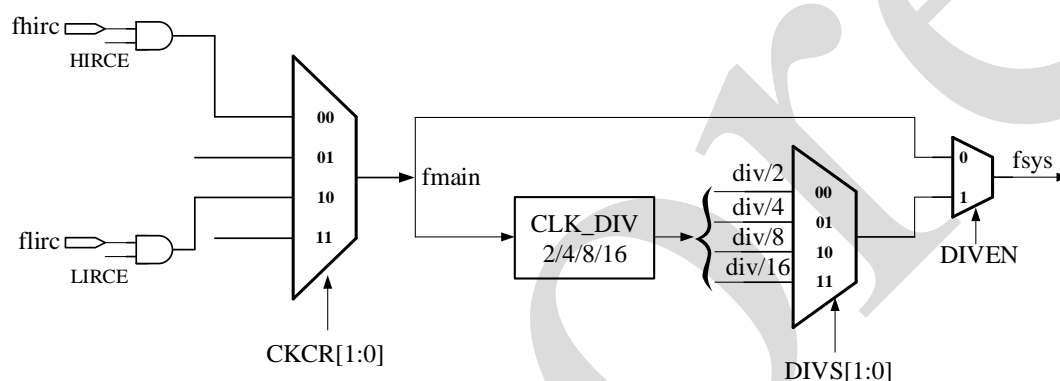


图 5.2.1 系统时钟框图

5.3 寄存器列表

表 5.3.1 时钟寄存器列表

名称	地址	描述	初值
OSCCR	EEH	系统时钟控制寄存器	55H
CKCON	8EH	时钟控制寄存器	01H
CKCR	EFH	系统时钟源控制寄存器	10H
SYSCR1	FEH	系统控制寄存器 1	FFH
SYSCR2	FFH	系统控制寄存器 2	FFH



5.4 寄存器说明

表 5.4.1 OSMCCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	LIRCE	-	HIRCE	-	DIVEN	DIVS[1:0]	
R/W	-	R/W	-	R/W	-	R/W	R/W	R/W
POR	0	1	0	1	0	1	0	1

位	字段	描述
6	LIRCE	LIRC 时钟使能 0: 除能 1: 使能 (默认)
4	HIRCE	HIRC 时钟使能 0: 除能 1: 使能 (默认)
2	DIVEN	系统时钟分频使能 0: 除能 1: 使能 (默认)
1-0	DIVS[1:0]	系统时钟分频选择 00: 2 分频 01: 4 分频 (默认) 10: 8 分频 11: 16 分频

表 5.4.2 CKCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CKCR7	CKCR6	CKCR5	CKCR4	CKCR3	CKCR2	CKCR1	CKCR0
	-	LIRCF	-	HIRCF				
R/W	W	W	W	W	W	W	W	W
	-	R	-	R				
POR	0	0	0	1	0	0	0	0

位	字段	描述
6	LIRCF	LIRC 时钟标志位 1: LIRC 作为系统时钟
4	HIRCF	HIRC 时钟使能 1: HIRC 作为系统时钟
7-0	CKCR[7:0]	系统时钟选择位, 由软件写入 8 位值 0x00: 选择 HIRC 作为系统时钟 0x01: 保留 0x02: 选择 LIRC 作为系统时钟 0x03: 保留 上电复位后, HIRC 为系统默认的时钟源 当不同的时钟源切换时, 必须在程序继续执行前提供一个振荡器稳定时延



表 5.4.3 SYSCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCCLK_EN	-	-	-	-	WDTCLK_EN	-	OPACMPCLK_EN
R/W	R/W	-	-	-	-	R/W	-	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7	ADCCLK_EN	ADC 时钟控制使能 0: 除能 1: 使能 (默认)
2	WDTCLK_EN	WDT 时钟控制使能 0: 除能 1: 使能 (默认)
0	OPACMPCLK_EN	OPACMP 时钟控制使能 0: 除能 1: 使能 (默认)

表 5.4.4 SYSCR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	UARTCLK_EN	-	-	T5CLK_EN	T4CLK_EN	-	T01CLK_EN
R/W	-	R/W	-	-	R/W	R/W	-	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
6	UARTCLK_EN	UART 时钟控制使能 0: 除能 1: 使能 (默认)
3	T5CLK_EN	定时器 5 时钟控制使能 0: 除能 1: 使能 (默认)
2	T4CLK_EN	定时器 4 时钟控制使能 0: 除能 1: 使能 (默认)
0	T01CLK_EN	定时器 0/1 时钟控制使能 0: 除能 1: 使能 (默认)



6 复位

6.1 特性

复位电路可以将控制器置于一个预定的缺省状态。在进入复位状态时，将发生以下过程：

- 程序停止执行
- 特殊功能寄存器（SFR）被初始化为复位值
- 中断和定时器被禁止

所有的 SFR 都被初始化为复位值，SFR 中各位的复位值在 SFR 的详细说明中定义。在复位期间内部数据存储器的内容不发生改变，复位前存储的数据保持不变。但由于堆栈指针 SFR 被复位，尽管堆栈中的数据未发生变化，但堆栈实际上已丢失。

电路的复位源有以下五种类型：

- 上电复位 POR_RST
- 外部端口复位 EXT_RST (P12)
- 看门狗溢出复位 WDT_RST
- 低压复位 LVR_RST
- 软件复位（对 KEYCR 寄存器依次写入 0xA5、0xF1）

上述复位除 POR 复位为一直有效，看门狗复位、LVR 复位、外部端口复位需通过程序设置。

6.2 功能框图

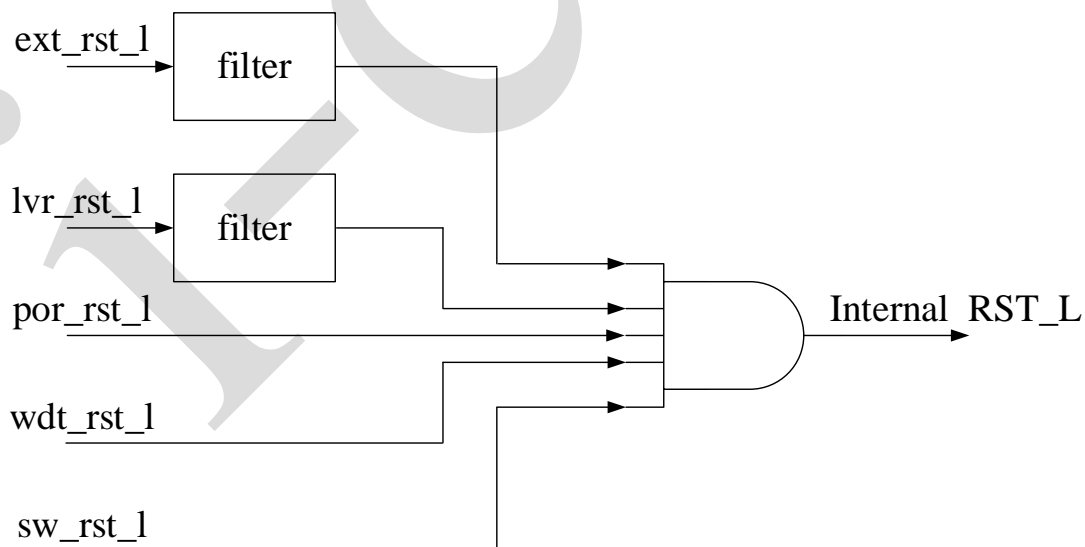


图 6.2.1 系统复位框图



6.3 寄存器列表

表 6.3.1 复位寄存器列表

名称	地址	描述	初值
RSTFR	E9H	复位状态寄存器	80H
LVRCR	EAH	LVR 控制寄存器	81H

6.4 寄存器说明

表 6.4.1 RSTFR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PORF	EXTF	WDTF	LVRF	SWRF	-	-	-
R/W	R/W0	R/W0	R/W0	R/W0	R/W0	-	-	-
POR	1	0	0	0	0	0	0	0

位	字段	描述
7	PORF	上电复位标志位软件写“0”清零，写“1”无影响 0: 上电复位标志无效 1: 上电复位标志有效
6	EXTF	外部复位标志位软件写“0”清零，写“1”无影响 0: 外部复位标志无效 1: 外部复位标志有效
5	WDTF	看门狗复位标志位软件写“0”清零，写“1”无影响 0: 看门狗复位标志无效 1: 看门狗复位标志有效
4	LVRF	低压复位标志位软件写“0”清零，写“1”无影响 0: 低压复位标志无效 1: 低压复位标志有效
3	SWRF	软件复位标志位软件写“0”清零，写“1”无影响 0: 软件复位标志无效 1: 软件复位标志有效

表 6.4.2 LVRCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LVREN	-	-	-	-	LVRSEL[2:0]		
R/W	R/W	-	-	-	-	R/W	R/W	R/W
POR	1	0	0	0	0	0	0	1

位	字段	描述
7	LVREN	LVR 使能位 0: 除能 1: 使能 (默认)
2-0	LVRSEL[2:0]	LVR 复位电压选择位 000: 1.6V 001: 1.9V (默认) 010: 2.4V 011: 2.6V



	100: 3.2V
	101: 3.8V

7 工作模式

7.1 特性

该 MCU 具有三种工作模式：停止模式 (STOP)、空闲模式 (IDLE) 和工作模式 (RUN)，系统从 STOP 和 IDLE 模式唤醒后均进入 RUN 模式，STOP 模式下主时钟振荡器停振，副时钟是否振荡由各自的使能控制决定，唤醒时间可由寄存器配置。若希望使用外部中断将系统唤醒，则需要在进入 STOP/IDLE 模式前关闭对应外部中断使能，并清除对应外部中断标志位。

表 7.1.1 省电模式下外围操作

外围	IDLE	STOP
CPU	停止运行	停止运行
RAM	保持	保持
WDT	继续工作	运行时钟非系统时钟时可继续工作； 否则停止
定时器 0~1	继续工作	停止
定时器 4	继续工作	停止
定时器 5	继续工作	停止
ADC	继续工作	停止
内部高速振荡 HIRC	继续运行	作为系统时钟时停止；否则继续运行
内部低速振荡 LIRC	继续运行	作为系统时钟时停止；否则继续运行
端口 P0/P1/P4/P5	保持	保持
退出模式	复位 所有中断	复位：外部复位、LVR 复位、WDT 复位 事件：外部中断、WDT 定时溢出

7.2 寄存器列表

表 7.2.1 工作模式寄存器列表

名称	地址	描述	初值
PCON	87H	复位状态寄存器	00H
SYSCR	C9H	LVR 控制寄存器	00H



7.3 寄存器说明

表 7.3.1 PCON 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	STOP	IDLE
R/W	-	R/W	R/W	R/W	R/W	R/W	W	W
POR	0	0	0	0	0	0	0	0

位	字段	描述
1	STOP	STOP 模式控制位 0: 无影响 1: STOP 模式使能 (如果在写 1 过程中发生中断事件则忽略当前 STOP 模式)
0	IDLE	IDLE 模式控制位 0: 无影响 1: IDLE 模式使能

C 语言例程

Example1:

```
#include <intrins.h>
```

PCON = 0x01; 配置 MCU 进入 IDLE 模式

```
_nop_(); 至少 3 个_nop_()
```

```
_nop_();
```

```
_nop_();
```

Example2:

PCON = 0x02; 配置 MCU 进入 STOP 模式

```
_nop_(); 至少 3 个_nop_()
```

```
_nop_();
```

```
_nop_();
```



表 7.3.2 SYSCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCVRE F_EN	-	-	UART0_E N	FWKTIME[3:0]			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
3-0	FWKTIME[3:0]	唤醒等待时间选择位 0000: Twakeup=128 * Tsys 0001: Twakeup=256 * Tsys 0010: Twakeup=512 * Tsys 0011: Twakeup=1024 * Tsys 0100: Twakeup=2048 * Tsys 0101: Twakeup=8192 * Tsys 0110: Twakeup=16384 * Tsys 0111: Twakeup=32768 * Tsys 1xxx: Twakeup=65536 * Tsys

注：该组寄存器具有密钥保护，需往 KEYCR 寄存器中依次写入：3CH、02H、A0H 后才能解除保护正常写



8 中断

8.1 特性

AiP8M7008 有 10 个内部中断源，每个中断源有 2 个优先等级。每个中断源在 SFR 中有一个中断标志位，满足中断触发条件时，相应的中断标志被置起。

如果一个中断源被允许，则在中断标志被置位时将产生一个中断。一旦当前指令执行完，CPU 产生一个 LCALL 到预定地址，开始执行中断服务程序 (ISR)。每个 ISR 必须以 RETI 指令结束，使程序回到中断前执行的那条指令的下一条指令。如果中断未被允许，中断标志将被硬件忽略，程序继续正常执行。中断标志置“1”与否不受中断允许/禁止状态的影响。

每个中断源都可以用一个 SFR (IE/EIE) 中的相关中断允许位来允许或禁止，但是必须首先将 EA 位 (IE0.7) 置“1”，以保证每个单独的中断允许位有效。不管每个中断允许位的设置如何，清 0 EA 位将禁止所有中断。

某些中断标志在 CPU 进入 ISR 时被自动清除，但大多数中断标志不是由硬件清除的，必须在 ISR 返回前用软件清除。如果一个中断标志在 CPU 执行完中断返回 (RETI) 指令后仍然保持置位状态，则会立即产生一个新的产生中断请求，CPU 将在执行完下一条指令后再次进入该 ISR。

中断控制器具有以下特点：

- 10 个中断源。
- 2 个中断优先级
- 各中断可通过中断总使能 EA 和各子中断使能 IE_x 控制

8.2 中断源和中断向量

表 8.2.1 中断向量说明表

中断源	向量地址	向量号	中断标志	标志位清除
复位	0x0000	N/A	N/A	N/A
定时器 5 中断	0x0003	0	T5INTF/ PWM01DIF/PWM01UIF	Software (cleared by 0)
定时器 0 中断	0x000B	1	TF0 (TCON.5)	Hardware (cleared by 0)
ADC 中断	0x0013	2	ADCINTF/WIN_INTF	Software (cleared by 0)
定时器 1 中断	0x001B	3	TF1 (TCON.7)	Hardware (cleared by 0)
UART0 中断	0x0023	4	TI0&RI0	Software (cleared by 0)
CMP 中断	0x002B	5	CMP_INTF (CMPCR1.4)	Hardware (cleared by 0)



定时器 4 中断	0x0033	6	T4INTF/T4CAP0INTF/ T4CAP1INTF/T4CAP2INTF	Software (cleared by 0)
LVD 中断	0x0053	10	LVDF	Software (cleared by 0)
EINT 中断	0x005B	11	EINTF	Software (cleared by 0)
WDT 中断	0x0063	12	WDTF	Hardware (cleared by 0)

8.3 中断优先级

每个中断都可以被独立地编程为 2 个优先级中的一个(低优先级、高优先级),通过 IP/EIP 寄存器设置优先级。

一个低优先级的中断服务程序可以被高优先级的中断所中断,但高优先级的中断不能被中断。在中断设置相同优先级情况下,若同时触发中断,则响应轮询优先级高的中断;若已经有一个中断正在被响应,则同优先级的中断将不会被响应。

表 8.3.1 中断轮询优先级

优先级	中断源
1	定时器 5 中断
2	定时器 0 中断
3	ADC 中断
4	定时器 1 中断
5	UART0 中断
6	CMP 中断
7	定时器 4 中断
8	LVD 中断
9	EINT 中断
10	WDT 中断

8.4 寄存器列表

表 8.4.1 中断寄存器列表

名称	地址	描述	初值
IE	A8H	中断使能寄存器	00H
EIE	E8H	扩展中断使能寄存器	00H
IP	B8H	中断优先级控制寄存器	00H
EIP	F8H	扩展中断优先级控制寄存器	00H
EIPOL0	F9H	外部中断触发控制寄存器 0	00H
EIPOL1	FAH	外部中断触发控制寄存器 1	00H
EXTINTEN	E5H	外部中断使能寄存器	00H
EXTINTF	E7H	外部中断标志寄存器	00H



8.5 寄存器说明

表 8.5.1 IP 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	PT4	PCMP	PUS	PT1	PADC	PT0	PT5
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
6	PT4	定时器 4 中断优先级控制 0: 低优先级 1: 高优先级
5	PCMP	比较器中断优先级控制 0: 低优先级 1: 高优先级
4	PUS	UART 中断优先级控制 0: 低优先级 1: 高优先级
3	PT1	定时器 1 中断优先级控制 0: 低优先级 1: 高优先级
2	PADC	ADC 中断优先级控制 0: 低优先级 1: 高优先级
1	PT0	定时器 0 中断优先级控制 0: 低优先级 1: 高优先级
0	PT5	定时器 5 中断优先级控制 0: 低优先级 1: 高优先级

表 8.5.2 EIP 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	PWDT	PEXT	PLVD	-	-	-
R/W	-	-	R/W	R/W	R/W	-	-	-
POR	0	0	0	0	0	0	0	0

位	字段	描述
5	PWDT	看门狗 中断优先级控制 0: 低优先级 1: 高优先级
4	PEXT	外部中断优先级控制 0: 低优先级 1: 高优先级
3	PLVD	LVD 中断优先级控制 0: 低优先级 1: 高优先级



表 8.5.3 IE 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EA	ET4	ECMP	EUS	ET1	EADC	ET0	ET5
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	EA	全局中断使能位 0: 除能 1: 使能
6	ET4	定时器 4 中断使能位 0: 除能 1: 使能
5	ECMP	比较器中断使能位 0: 除能 1: 使能
4	EUS	UART 中断使能位 0: 除能 1: 使能
3	ET1	定时器 1 中断使能位 0: 除能 1: 使能
2	EADC	ADC 中断使能位 0: 除能 1: 使能
1	ET0	定时器 0 中断使能位 0: 除能 1: 使能
0	ET5	定时器 5 中断使能位 0: 除能 1: 使能

表 8.5.4 EIE 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	EWDT	EEXT	ELVD	-	-	-
R/W	-	-	R/W	R/W	R/W	-	-	-
POR	0	0	0	0	0	0	0	0

位	字段	描述
5	EWDT	看门狗中断使能位 0: 除能 1: 使能
4	EEXT	外部中断使能位 0: 除能 1: 使能
3	ELVD	LVD 中断使能位 0: 除能



	1: 使能
--	-------

表 8.5.5 EIPOL0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EIPOL03[1:0]		EIPOL02[1:0]		EIPOL01[1:0]		EIPOL00[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	EIPOL03[1:0]	外部中断 3 触发沿选择 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发
5-4	EIPOL02[1:0]	外部中断 2 触发沿选择 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发
3-2	EIPOL01[1:0]	外部中断 1 触发沿选择 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发
1-0	EIPOL00[1:0]	外部中断 0 触发沿选择 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发

表 8.5.6 EIPOL1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	EIPOL05[1:0]		EIPOL04[1:0]	
R/W	-	-	-	-	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
3-2	EIPOL05[1:0]	比较器 2 触发沿选择 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发
1-0	EIPOL04[1:0]	外部中断 4 触发沿选择 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发



表 8.5.7 EXTINTEN 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EINTDBTIME[1:0]		EINT5EN	EINT4EN	EINT3EN	EINT2EN	EINT1EN	EINT0EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	EINTDBTIME[1:0]	外部中断消抖时间选择 00: 4*Fsys 01: 37*Fsys 10: 72*Fsys 11: 142*Fsys
5	EINT5EN	比较器 2 中断使能位 0: 除能 1: 使能
4	EINT4EN	外部中断 4 使能位 0: 除能 1: 使能
3	EINT3EN	外部中断 3 使能位 0: 除能 1: 使能
2	EINT2EN	外部中断 2 使能位 0: 除能 1: 使能
1	EINT1EN	外部中断 1 使能位 0: 除能 1: 使能
0	EINT0EN	外部中断 0 使能位 0: 除能 1: 使能



表 8.5.8 EXTINTF 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	EINT5F	EINT4F	EINT3F	EINT2F	EINT1F	EINT0F
R/W	-	-	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
POR	0	0	0	0	0	0	0	0

位	字段	描述
5	EINT5F	比较器 2 中断标志位（软件写 0 清零，写 1 无影响） 0: 无中断请求 1: 中断请求
4	EINT4F	外部中断 4 中断标志位（软件写 0 清零，写 1 无影响） 0: 无中断请求 1: 中断请求
3	EINT3F	外部中断 3 中断标志位（软件写 0 清零，写 1 无影响） 0: 无中断请求 1: 中断请求
2	EINT2F	外部中断 2 中断标志位（软件写 0 清零，写 1 无影响） 0: 无中断请求 1: 中断请求
1	EINT1F	外部中断 1 中断标志位（软件写 0 清零，写 1 无影响） 0: 无中断请求 1: 中断请求
0	EINT0F	外部中断 0 中断标志位（软件写 0 清零，写 1 无影响） 0: 无中断请求 1: 中断请求



9 GPIO

9.1 特性

AiP8M7008 有 4 组 I/O 口 (P0、P1、P4、P5)。通过软件设置可以把每个口配置为 I/O 口、内部上下拉以匹配不同的系统结构和设计要求。端口数据在寄存器 Pn 中，端口控制寄存器 PnIO 控制端口作为输入或输出。

向端口写入时，数据被锁存到端口数据寄存器中，以保持引脚上的输出数据值不变。非读写指令读端口数据寄存器总是返回端口引脚的逻辑状态，读-修改-写指令 (ANL、ORL、XRL、JBC、CPL、INC、DEC、DJNZ) 和对端口 SFR 中的某一位执行 MOV、CLR、SETB，这些指令读端口数据寄存器 (而不是引脚) 的值，修改后再写回端口数据寄存器。

表 9.1 IO 真值表

PnIO	PnAT	Pn	功能	描述
0	0	0	高阻	输入高阻
0	0	1	高阻	输入高阻
0	1	0	下拉	输入下拉
0	1	1	上拉	输入上拉
1	0	0	输出高	Pn 反向输出
1	0	1	输出低	Pn 反向输出
1	1	0	输出低	Pn 输出
1	1	1	输出高	Pn 输出

9.2 寄存器列表

表 9.2.1 端口寄存器列表

名称	地址	描述	初值
P0	80H	P0 数据寄存器	FFH
P1	90H	P1 数据寄存器	FFH
P4	C0H	P4 数据寄存器	FFH
P5	C8H	P5 数据寄存器	FFH
P0IO	AAH	P0 方向寄存器	00H
P1IO	BAH	P1 方向寄存器	00H
P4IO	C2H	P4 方向寄存器	00H
P5IO	CAH	P5 方向寄存器	00H
P0AT	ABH	P0 上下拉寄存器	00H
P1AT	BBH	P1 上下拉寄存器	00H
P4AT	C3H	P4 上下拉寄存器	00H
P5AT	CBH	P5 上下拉寄存器	00H
POSR	ACH	P0 输出斜率寄存器	00H
PISR	BCH	P1 输出斜率寄存器	00H



P4SR	C4H	P4 输出斜率寄存器	00H
P5SR	CCH	P5 输出斜率寄存器	00H
P0DC	ADH	P0 驱动电流使能寄存器	00H
P1DC	BDH	P1 驱动电流使能寄存器	00H
P4DC	C5H	P4 驱动电流使能寄存器	00H
P5DC	CDH	P5 驱动电流使能寄存器	00H
SLEDC	CEH	端口驱动电流选择寄存器	03H
LCMCR0	E2H	端口复用功能选择寄存器 0	00H
LCMCR1	E3H	端口复用功能选择寄存器 1	00H

9.3 寄存器说明

表 9.3.1 Pn 寄存器

Bit	7	6	5	4	3	2	1	0
Name	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	Pn[7:0]	Pn 设置 IO 输出数据，也可配置端口功能

表 9.3.2 PnIO 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PnIO[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	PnIO[7:0]	端口输入输出功能选择位 0: 输入 1: 输出

表 9.3.3 PnAT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PnAT[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	PnAT[7:0]	配置端口上下拉功能



表 9.3.4 PnSR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PnSR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	PnSR[7:0]	端口输出转换速率使能位 0: 除能 1: 使能

表 9.3.5 SLEDC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	SLEDCPSH[1:0]	
R/W	-	-	-	-	-	-	R/W	R/W
POR	0	0	0	0	0	0	1	1

位	字段	描述
1-0	SLEDCPSH[1:0]	驱动高电平能力选择位 00: LEVEL0 (最小) 01: LEVEL1 10: LEVEL2 11: LEVEL3 (最大)

表 9.3.6 PnDC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PnDC[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	PnDC[7:0]	Pn 驱动电流档位使能 0: 除能 1: 使能



表 9.3.7 LCMCR0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	LCMCR0[3:2]		-	-
R/W	-	-	-	-	R/W	R/W	-	-
POR	0	0	0	0	0	0	0	0

位	字段	描述
3-2	LCMCR0[3:2]	UART RXD/TXD 引脚配置位 00: 映射到 P50/P51 (默认) 01: 映射到 P00/P01 10: 映射到 P11/P10

表 9.3.8 LCMCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LCMCR1[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	LCMCR1[7]	T4CAP1 引脚配置位 0: 映射到 P41 (默认) 1: 映射到 P03
6	LCMCR1[6]	T4CAP0 引脚配置位 0: 映射到 P40 (默认) 1: 映射到 P02
5-4	LCMCR1[5:4]	INT04 引脚配置位 00: 映射到 P00 (默认) 01: 映射到 P47 10: 映射到 P02 11: 映射到 P02
3	LCMCR1[3]	INT03 引脚配置位 0: 映射到 P14 (默认) 1: 映射到 P43
2	LCMCR1[2]	INT02 引脚配置位 0: 映射到 P13 (默认) 1: 映射到 P42
1	LCMCR1[1]	INT01 引脚配置位 0: 映射到 P12 (默认) 1: 映射到 P41
0	LCMCR1[0]	INT00 引脚配置位 0: 映射到 P11 (默认) 1: 映射到 P40



10 通用定时器 T0/T1

10.1 特性

定时器 0 和 1 兼容标准的 8051 定时器，特性如下：

- 5 种可选时钟源：Fsys、Fsys/2、Fsys/4、Fsys/8、Fsys/256
- Timer0:模式 0(13 位定时器)
- Timer0:模式 1(16 位定时器)
- Timer0:模式 2(带有自动重载功能的 8 位定时器)
- Timer0:模式 3(两个 8 位定时器)
- Timer1:模式 0(13 位定时器)
- Timer1:模式 1(16 位定时器)
- Timer1:模式 2(带有自动重载功能的 8 位定时器)

10.2 功能框图

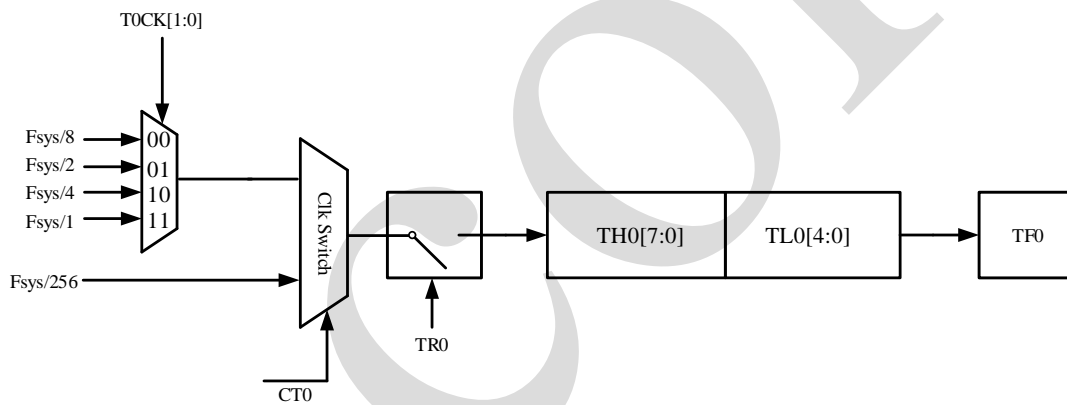


图 10.2.1 定时器 0 13 位定时器/计数器原理框图

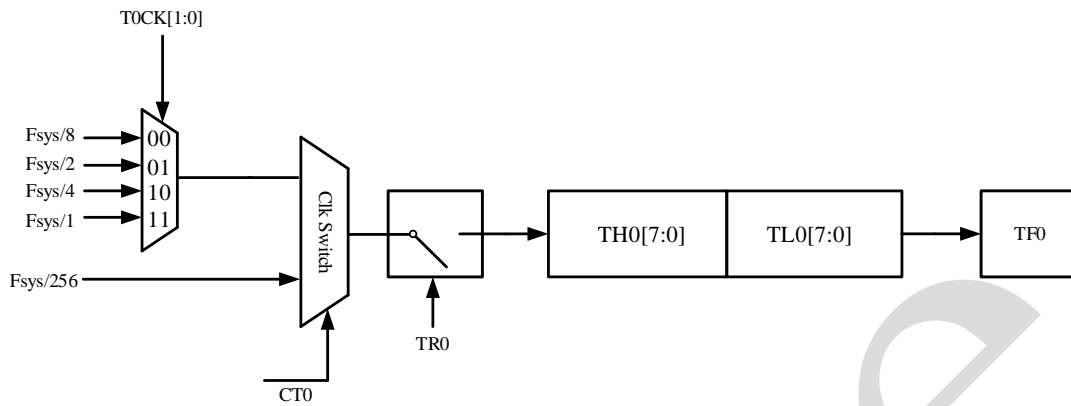


图 10.2.2 定时器 0 16 位定时器/计数器原理框图

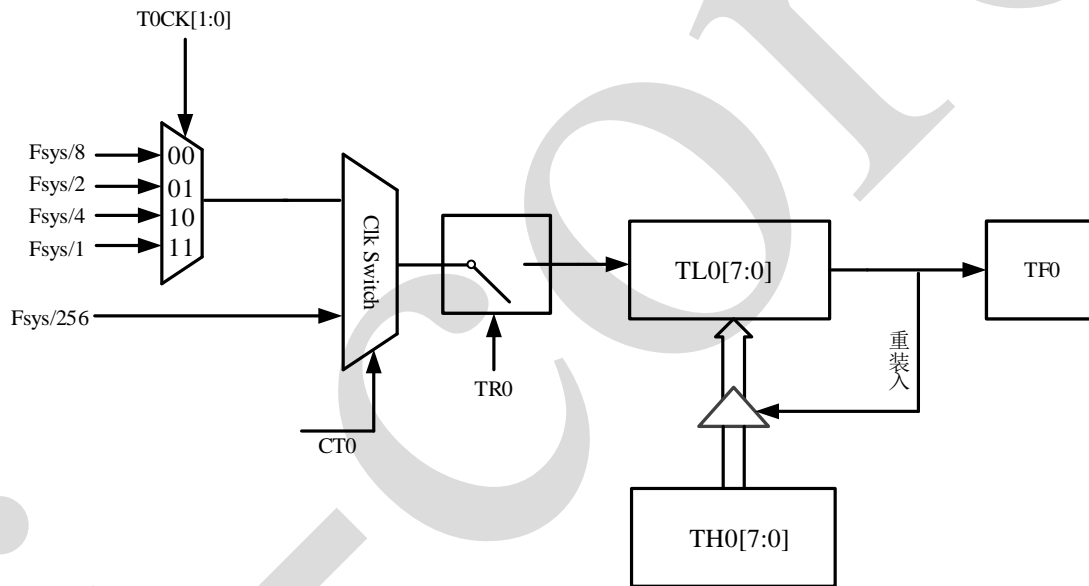


图 10.2.3 定时器 0 自动重载初值的 8 位计数器原理框图

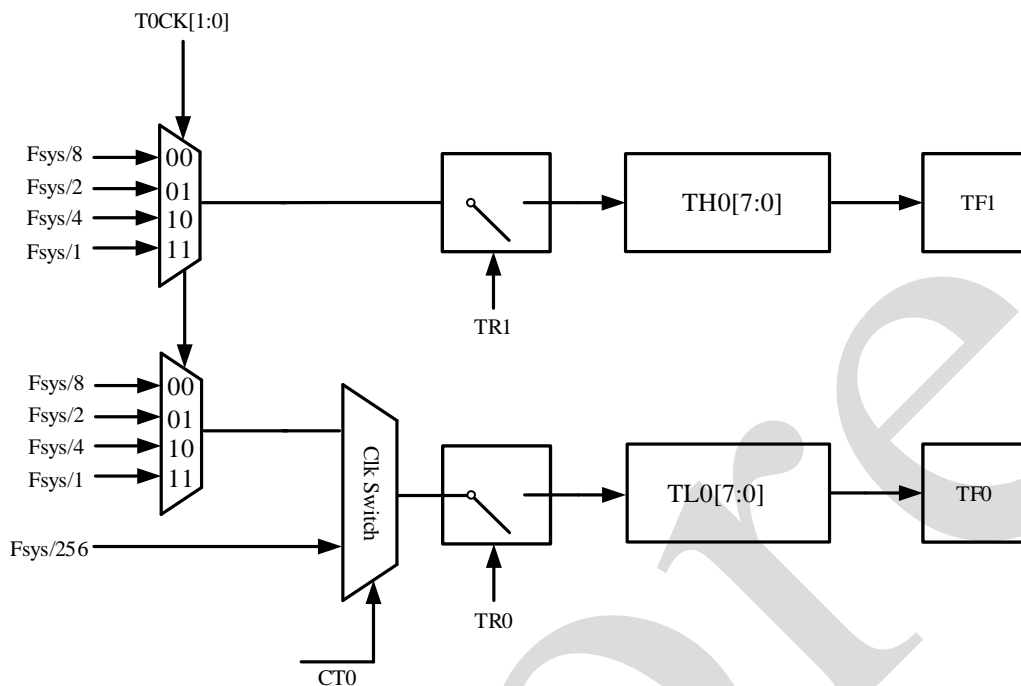


图 10.2.4 定时器 0 2 个 8 位计数器原理框图

10.3 寄存器列表

表 10.3.1 T0/T1 寄存器列表

名称	地址	描述	初值
TL0	8AH	Timer0 低字节寄存器	00H
TL1	8BH	Timer1 低字节寄存器	00H
TH0	8CH	Timer0 高字节寄存器	00H
TH1	8DH	Timer1 高字节寄存器	00H
TMOD	89H	Timer0/1 控制模式寄存器	00H
TCON	88H	Timer0/1 配置寄存器	00H
TCON1	8FH	Timer0/1 配置寄存器 1	00H



10.4 寄存器说明

表 10.4.1 TH0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TH0[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	TH0[7:0]	Timer0 加载值-高字节

表 10.4.2 TL0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TL0[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	TL0[7:0]	Timer0 加载值-低字节

表 10.4.3 TH1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TH1[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	TH1[7:0]	Timer1 加载值-高字节

表 10.4.4 TL1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TL1[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	TL1[7:0]	Timer1 加载值-低字节



表 10.4.5 TMOD 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	CT1	M11	M10	-	CT0	M01	M00
R/W	-	R/W	R/W	R/W	-	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
6	CT1	定时器 1 时钟源选择位 0: 定时器模式, 时钟源由内部时钟提供, 由 T1CK[1:0]控制 1: 定时器模式, 时钟源选择内部时钟 256 分频
5-4	M1[1:0]	定时器 1 的模式选择位,如下表所示
2	CT0	定时器 0 时钟源选择位 0: 定时器模式, 时钟源由内部时钟提供, 由 T0CK[1:0]控制 1: 定时器模式, 时钟源选择内部时钟 256 分频
1-0	M0[1:0]	定时器 0 的模式选择位, 如下表所示

M1	M0	Mode	定时器 0/1 功能说明
0	0	0	13 位向上计数定时器, 忽略 TL0/1 的位 7-5
0	1	1	16 位向上计数定时器
1	0	2	8 位自动重载向上计数定时器
1	1	3	两个 8 位向上计数定时器

表 10.4.6 TCON 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TF1	TR1	TF0	TR0	-	-	-	-
R/W	R/W0	R/W	R/W0	R/W	-	-	-	-
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TF1	定时器 1 中断(溢出)标志 (软件写 0 清零, 写 1 无影响)
6	TR1	定时器 1 运行控制位 0: 除能 1: 使能
5	TF0	定时器 0 中断(溢出)标志 (软件写 0 清零, 写 1 无影响)
4	TR0	定时器 0 运行控制位 0: 除能 1: 使能



表 10.4.7 TCON1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	T1CK1	T1CK0	-	-	T0CK1	T0CK0
R/W	-	-	R/W	R/W	-	-	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5-4	T1CK[1:0]	Timer1 时钟选择位 00: 系统时钟/8 01: 系统时钟/2 10: 系统时钟/4 11: 系统时钟/1
1-0	T0CK[1:0]	Timer0 时钟选择位 00: 系统时钟/8 01: 系统时钟/2 10: 系统时钟/4 11: 系统时钟/1

10.5 功能说明

10.5.1 模式 0: 13 位定时器/计数器

在模式 0 下定时器 0 和定时器 1 的工作过程相同。在模式 0 中，定时器为 13 位的计数器，其 4-0 位为 TL0(或者 TL1)，另外 8 位为 TH0(或者 TH1)。TCON 寄存器中的使能位 (TR0/TR1)来控制定时器的开启和关闭。

定时器对选定的时钟源进行计数，当 13 位计数器计数到全 1 时，计数器清 0(全 0)，并且 TF0(或者 TF1)置位。在模式 0 中，TL0(或者 TL1)的高 3 位是不确定的，在读计数值时应屏蔽掉或忽略这 3 位。计数使能仅由 TR0/1 决定。

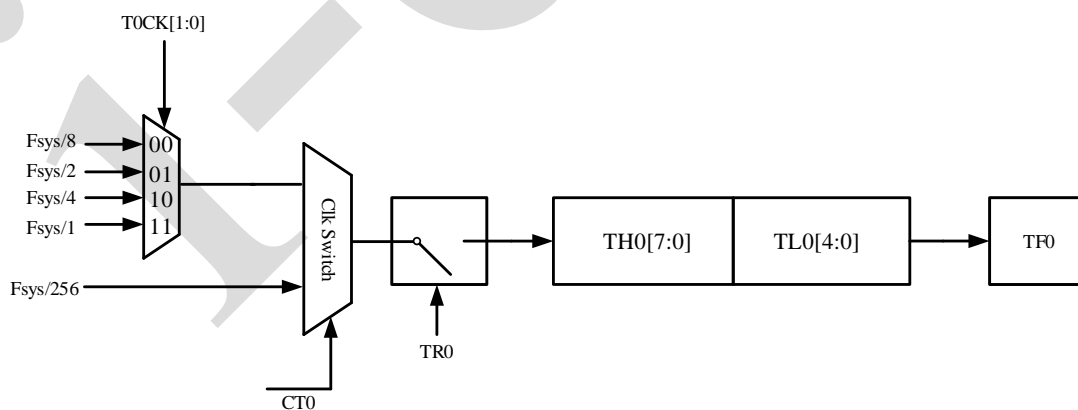


图 10.5.1 13 位定时器/计数器原理框图



10.5.2 模式 1: 16 位定时器/计数器

定时器 0 和定时器 1 的模式 1 是相同的。在模式 1 中，定时器为 16 位的计数器。LSB 寄存器(TL0 或者 TL1)的 8 位都被使用。

当计数器计数至 0xFFFF 时，计数器清 0 (全 0)。除此之外，模式 1 和模式 0 是相同的。

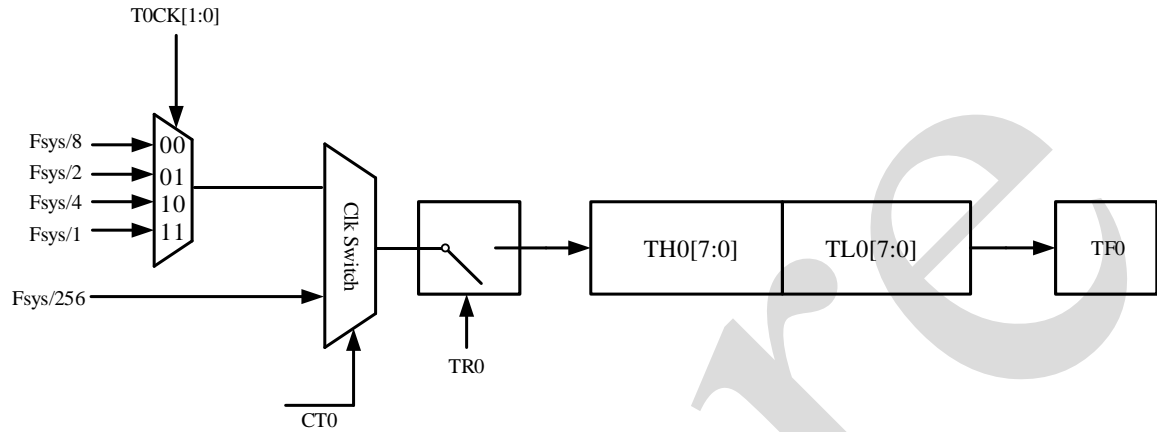


图 10.5.2 16 位定时器/计数器原理框图

10.5.3 模式 2: 自动重载初值的 8 位计数器

定时器 0 和定时器 1 的模式 2 是相同的。在模式 2 中, 定时器为一个带有自动重载的 8 位计数器。这个计数器就是 LSB 寄存器(TL0 或者 TL1), 需要重载值保存在 MSB 寄存器(TH0 或者 TH1)中。

模式 2 的计数器控制和模式 0、模式 1 是一样的。但是, 在模式 2 中, 当 TLn 累计至 0xFF, 不仅置位 TFn, 还将 THn 的值重载至 TLn, THn 的内容由软件预置。计数使能仅由 TR0/1 决定。

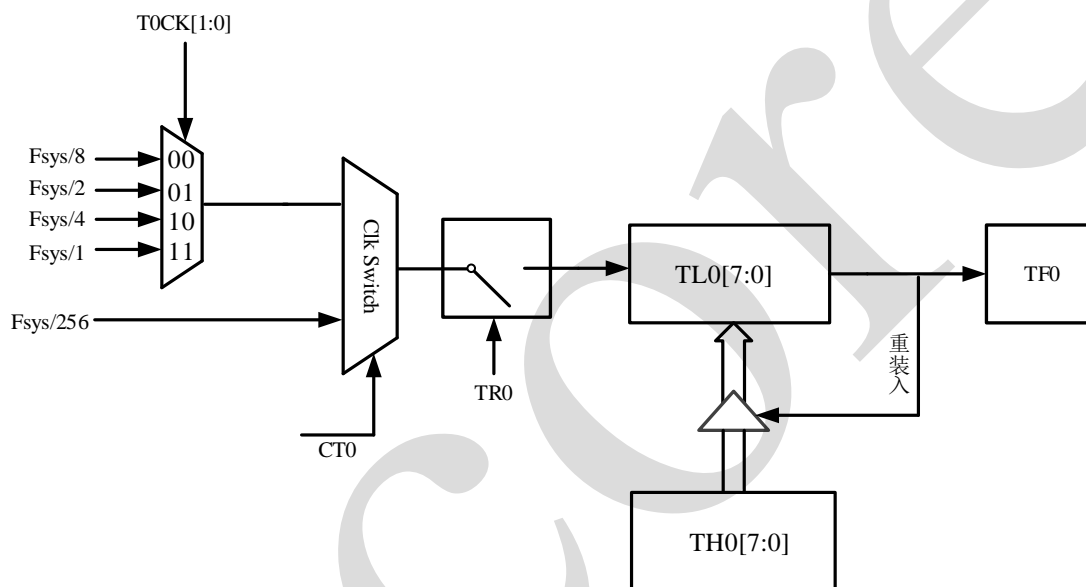


图 10.5.3 自动重载初值的 8 位计数器原理框图



10.5.4 模式 3: 两个 8 位计数器

在模式 3 中，定时器 0 为两个 8 位的计数器，此时定时器 1 停止计数并且保存它的值。TL0 是由定时器 0 的控制位来控制的 8 位寄存器。

TH0 的是一个单独的 8 位计数器。定时器 1 的控制位 TR1 和标志位 TF1 用来作为 TH0 的控制位和标志位。

当定时器 0 工作在模式 3 时，通过定时器 1 的模式位来控制定时器 1。要开启定时器 1，需要将定时器 1 设置为模式 0、1 或者 2。要关闭定时器 1，将定时器 1 的模式设置为 3。

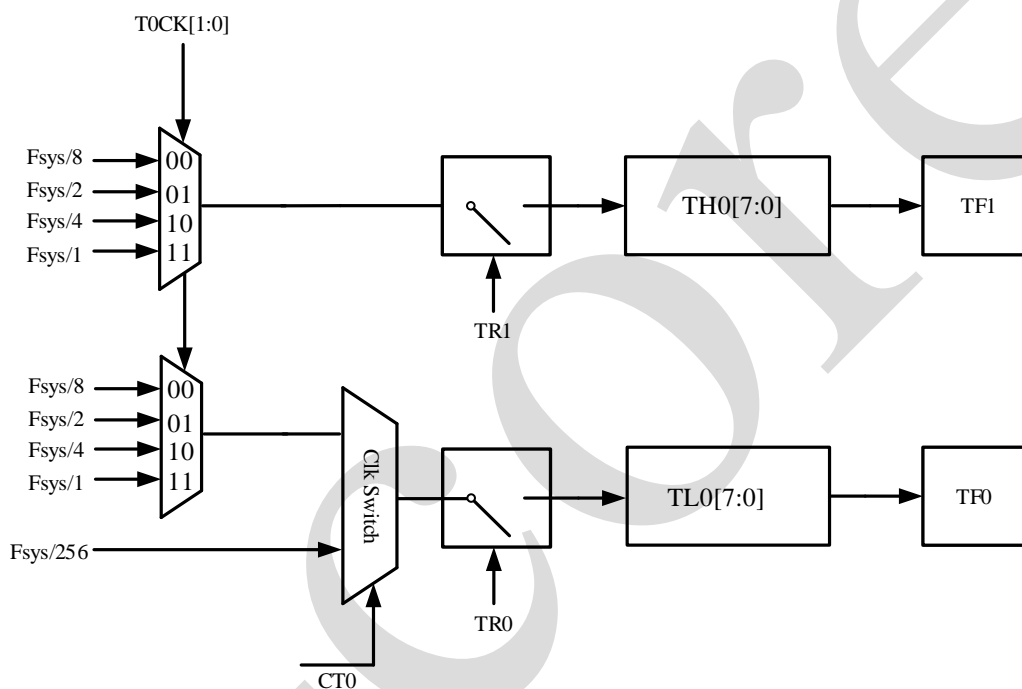


图 10.5.1 2 个 8 位计数器原理框图



11 高级定时器 T4

11.1 特性

定时器 4 为 16 位定时器，主要功能特点体现在高精度分频计数时钟。定时器 4 可对 3 路输入信号进行捕获，可配置捕获端口滤波及滤波时间。定时器 4 有如下几个特点：

定时功能：

- 16 位向下计数器
- 8 种时钟源可选择 (F_{sys} 、 $F_{sys}/4$ 、 $F_{sys}/16$ 、 $F_{sys}/32$ 、 $F_{sys}/64$ 、 $F_{sys}/128$ 、 $F_{sys}/256$ 、 $F_{sys}/2$)

捕获(Capture)功能：

- 3 路施密特外部输入捕获引脚
- 引脚滤波时间可设置
- 捕获输入信号预分频系数不可设置
- 自带捕获定时器作为捕获时基
- 捕获定时器预分频系数：1, 4, 16, 32, 64, 128, 256, 2
- 捕获事件可设置为上升沿、下降沿、双沿，捕获引脚触发方式单独设置
- 捕获事件各自有单独的一组捕获寄存器
- 捕获事件各自有单独的捕获中断使能及中断标志，共享同一中断向量

11.2 功能框图

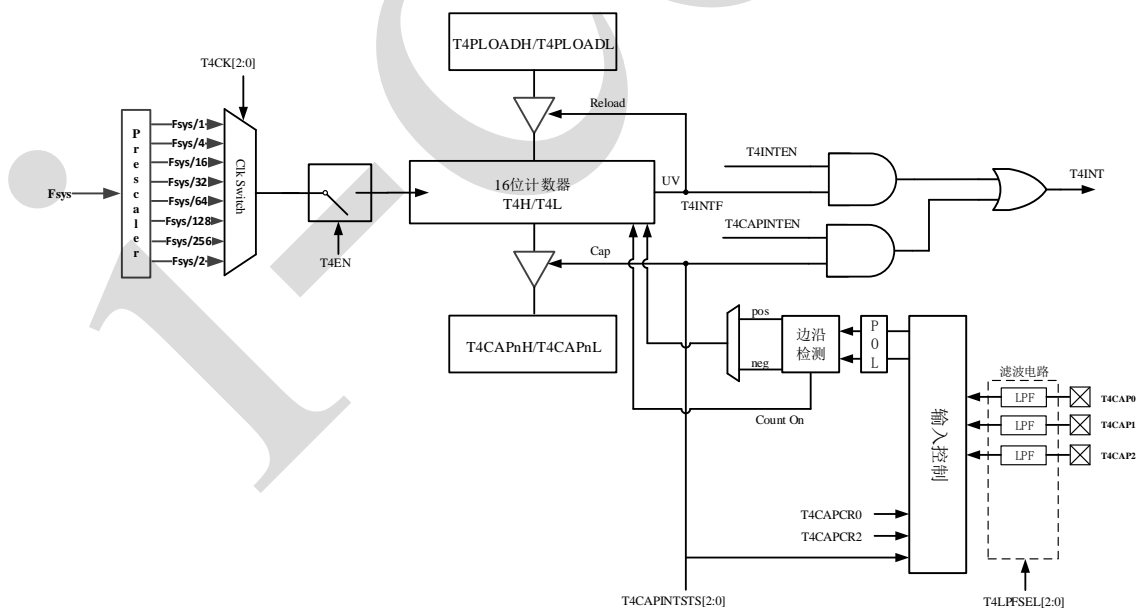


图 11.2.1 定时器 4 功能框图



11.3 寄存器列表

表 11.3.1 T4 寄存器列表

名称	地址	描述	初值
T4CR	BAH	T4 控制寄存器	00H
T4PLOADL	BBH	T4 预加载值寄存器-低字节	00H
T4PLOADH	BCH	T4 预加载值寄存器-高字节	00H
T4L	BDH	T4 计数寄存器-低字节	00H
T4H	BEH	T4 计数寄存器-高字节	00H
T4CAPCR0	BFH	T4 捕获控制寄存器 0	00H
T4CAPCR1	C2H	T4 捕获控制寄存器 1	00H
T4CAPINTEN	C4H	T4 捕获模式中断使能寄存器	00H
T4CAPINTF	C5H	T4 捕获模式中断状态寄存器	00H
T4CAP0L	C6H	T4 捕获 0 寄存器-低字节	00H
T4CAP0H	C7H	T4 捕获 0 寄存器-高字节	00H
T4CAP1L	CAH	T4 捕获 1 寄存器-低字节	00H
T4CAP1H	CBH	T4 捕获 1 寄存器-高字节	00H
T4CAP2L	CCH	T4 捕获 2 寄存器-低字节	00H
T4CAP2H	CDH	T4 捕获 2 寄存器-高字节	00H
T4LPFSEL	D9H	T4 捕获去抖滤波选择寄存器	00H

11.4 寄存器说明

表 11.4.1 T4CR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	T4INTF	T4INTEN	T4CK[2:0]			T4EN
R/W	-	-	R/W0	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5	T4INTF	T4 中断标志 0: 无 T4 中断 1: T4 中断触发
4	T4INTEN	T4 中断使能位 0: 除能 1: 使能
3-1	T4CK[2:0]	T4 输入时钟源选择 000: Fsys 001: Fsys/4 010: Fsys/16 011: Fsys/32 100: Fsys/64 101: Fsys/128 110: Fsys/256 111: Fsys/2
0	T4EN	T4 使能位 0: 除能



	1: 使能
--	-------

表 11.4.2 T4PLOADL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T4PLOADL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T4PLOADL[7:0]	T4 预加载寄存器-低字节 定时模式及捕获模式时，会被预加载至计数器低字节

表 11.4.3 T4PLOADH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T4PLOADH[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T4PLOADH[7:0]	T4 预加载寄存器-高字节 定时模式及捕获模式时，会被预加载至计数器高字节

表 11.4.4 T4L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T4L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T4L[7:0]	T4 计数寄存器-低字节

注：读 T4L 寄存器前，需先读 T4H。

表 11.4.5 T4H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T4H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T4H[7:0]	T4 计数寄存器-高字节



表 11.4.6 T4CAPCR0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	T4CAPxEN[2:0]		
R/W	-	-	-	-	-	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述								
2-0	T4CAPxEN[2:0]	T4 捕获模式使能控制位，所有触发源来自外部 I/O 口，下表给出了触发源对应的 IO 口 <table border="1" style="margin-left: 20px;"> <tr> <td>T4CAPxEN</td> <td>对应 I/O</td> </tr> <tr> <td>T4CAP2EN</td> <td>T4CAP2</td> </tr> <tr> <td>T4CAP1EN</td> <td>T4CAP1</td> </tr> <tr> <td>T4CAP0EN</td> <td>T4CAP0</td> </tr> </table>	T4CAPxEN	对应 I/O	T4CAP2EN	T4CAP2	T4CAP1EN	T4CAP1	T4CAP0EN	T4CAP0
T4CAPxEN	对应 I/O									
T4CAP2EN	T4CAP2									
T4CAP1EN	T4CAP1									
T4CAP0EN	T4CAP0									

表 11.4.7 T4CAPCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	T4CAP2EDGE[1:0]		T4CAP1EDGE[1:0]		T4CAP0EDGE[1:0]	
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5-4	T4CAP2EDGE[1:0]	T4 捕获通道 2 采样边沿选择位 00: 下降沿捕获 01: 上升沿捕获 1x: 每个边沿都捕获
3-2	T4CAP1EDGE[1:0]	T4 捕获通道 1 采样边沿选择位 00: 下降沿捕获 01: 上升沿捕获 1x: 每个边沿都捕获
1-0	T4CAP0EDGE[1:0]	T4 捕获通道 0 采样边沿选择位 00: 下降沿捕获 01: 上升沿捕获 1x: 每个边沿都捕获



表 11.4.8 T4CAPINTEN 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	T4CAP2I NTEN	T4CAP1I NTEN	T4CAP0I NTEN
R/W	-	-	-	-	-	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
2	T4CAP2INTEN	T4CAP2 中断使能 0: 除能 1: 使能
1	T4CAP1INTEN	T4CAP1 中断使能 0: 除能 1: 使能
0	T4CAP0INTEN	T4CAP0 中断使能 0: 除能 1: 使能

表 11.4.9 T4CAPINTF 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	T4CAP2I NTF	T4CAP1I NTF	T4CAP0I NTF
R/W	-	-	-	-	-	R/W0	R/W0	R/W0
POR	0	0	0	0	0	0	0	0

位	字段	描述
2	T4CAP2INTF	T4CAP2 中断状态标志位 0: 捕获未触发 1: 捕获触发
1	T4CAP1INTF	T4CAP1 中断状态标志位 0: 捕获未触发 1: 捕获触发
0	T4CAP0INTF	T4CAP0 中断状态标志位 0: 捕获未触发 1: 捕获触发



表 11.4.10 T4LPFSEL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	T4LPFSEL[2:0]		
R/W	-	-	-	-	-	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
2-0	T4LPFSEL[2:0]	去抖动滤波周期选择过滤周期 (system clock) 000: 无消抖 001: 8 clock cycles 010: 16 clock cycles 011: 32 clock cycles 100: 64 clock cycles 101: 96 clock cycles 110: 128 clock cycles 111: 160 clock cycles

表 11.4.11 T4CAP0L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T4CAP0L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T4CAP0L[7:0]	T4 Capture0 寄存器-低字节

表 11.4.12 T4CAP0H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T4CAP0H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T4CAP0H[7:0]	T4 Capture0 寄存器-高字节



表 11.4.13 T4CAP1L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T4CAP1L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T4CAP1L[7:0]	T4 Capture1 寄存器-低字节

表 11.4.14 T4CAP1H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T4CAP1H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T4CAP1H[7:0]	T4 Capture1 寄存器-高字节

表 11.4.15 T4CAP2L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T4CAP2L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T4CAP2L[7:0]	T4 Capture2 寄存器-低字节

表 11.4.16 T4CAP2H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T4CAP2H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T4CAP2H[7:0]	T4 Capture2 寄存器-高字节



11.5 功能说明

11.5.1 定时模式

该模块共有 8 种分频时钟选择，分别为：1 分频，4 分频，16 分频，32 分频，64 分频，128 分频，256 分频，2 分频。

计数器会在使能信号（T4EN）为高电平后开始向下计数。每当 T4EN 使能后，计数器会装载 T4 预加载值计数器(T4PLOADL 及 T4PLOADH)内的值，在分频时钟的作用下开始计数。若使能 T4 中断使能位（T4INTEN），则每当计数器计到 0 时，标志位 T4INTF 置起。

定时模式（计数时钟为Fsys）

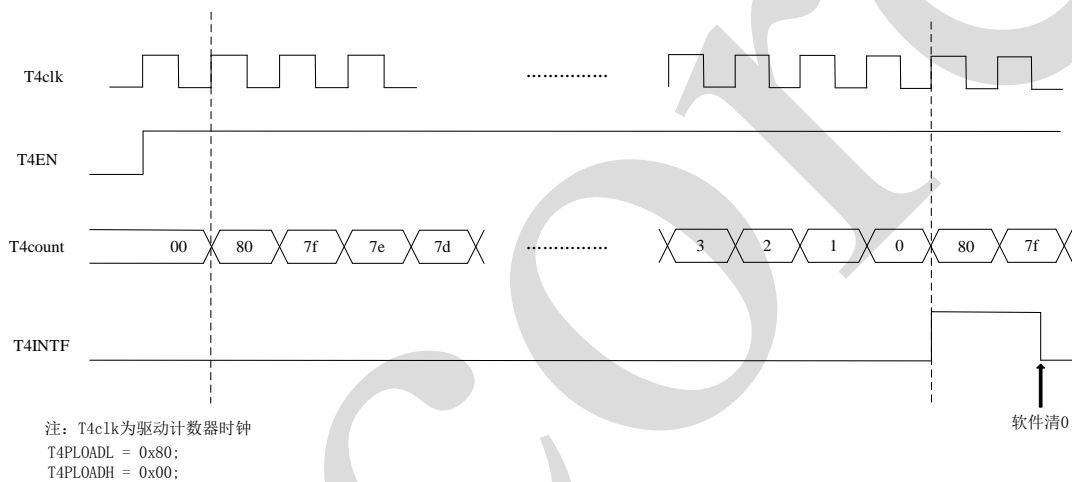


图 11.5.1 定时模式时序图 1

定时模式（计数时钟为Fsys的分频）

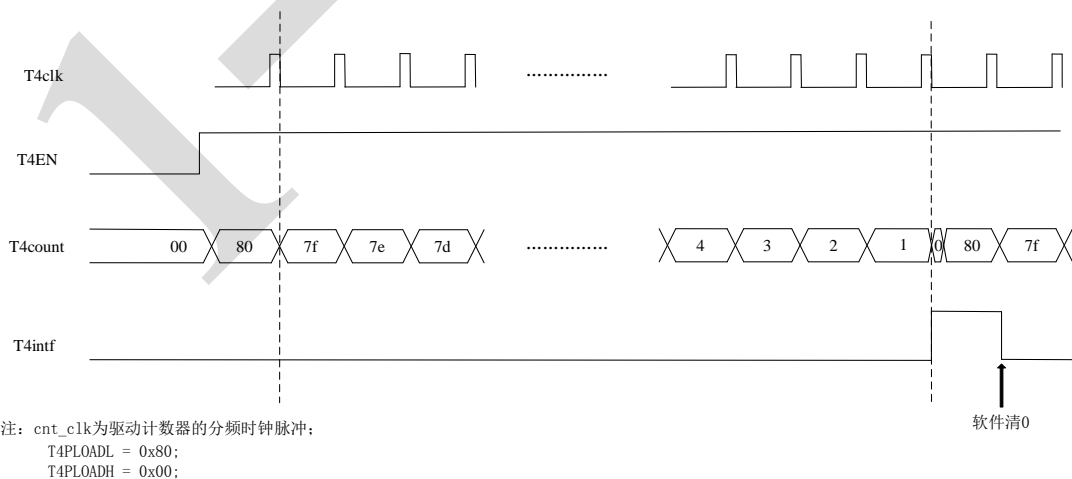


图 11.5.2 定时模式时序图 2



11.5.2 捕获模式

该模块可以对 3 个通道 (T4CAP0, T4CAP1, T4CAP2) 的信号进行边沿捕获。

可设置为对上升沿/下降沿/上升沿及下降沿进行捕获。

在 T4EN 使能后, 计数器在分频时钟的作用下由装载值向下计数, 每当一个有效沿到来后, 会将当前计数器值写入该有效沿通道对应的数据寄存器中。每当有效沿来临时, 若打开有效沿对应通道的中断使能(T4CAPxINTEN), 则会置起对应通道的标志位(T4CAPxINTF)。

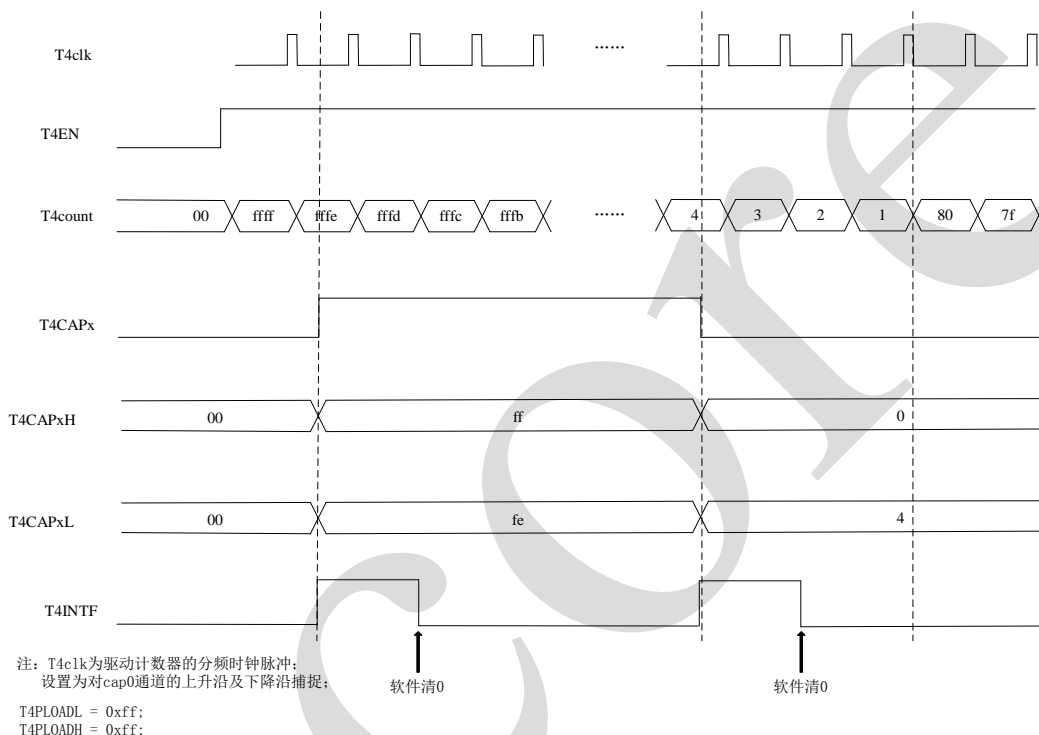


图 11.5.3 捕获模式时序图

该定时器拥有可配置去抖动滤波模块, 用于去除用于捕获模式及编码器捕获模式中的抖动, 用户可以用过配置 T4LPFSEL 寄存器来选择不同的去抖动脉宽长度。当去抖动脉宽为 N (N = 0/97/197/297/397/497/597/697), 这表示外部事件必须大于 3+N 个 F_{sys}, 否则外部事件将会被过滤掉。

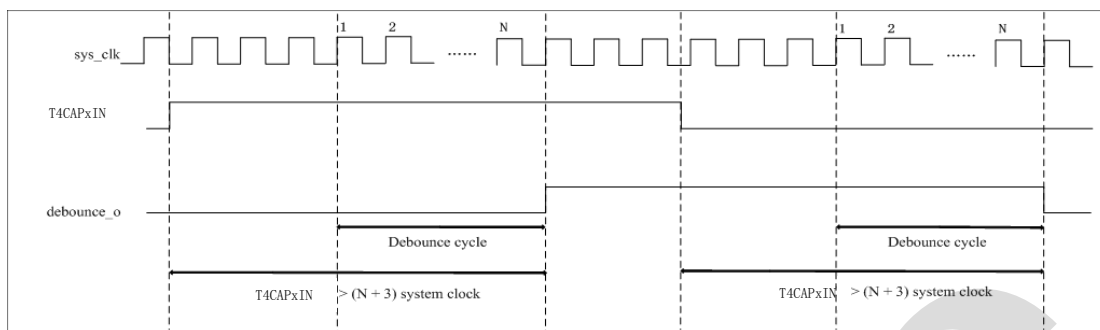


图 11.5.4 消抖时序图

12 高级定时器 T5

12.1 特性

定时器 5 是一个 16 位定时器，具有 16 位 PWM 模式，定时器 5 有如下几个特性：

- 16 位向下/向上计数器
- 6 种时钟源可选择（Fsys、Fsys/2、Fsys/4、Fsys/8、Fsys/16、Fsys/32）
- 两种时基计数模式：边沿对齐计数、中心对齐计数器
- 两种波形输出模式：互补模式与独立模式
- 中心对齐模式下提供非对称模式选项，可灵活调整 PWM 波形
- 互补模式下提供死区控制逻辑
- 中心对齐模式下提供 PWM 周期匹配、归零匹配中断、占空比中断
- 1 路互补 PWM 输出或 2 路独立 PWM 输出，输出极性可选择
- 提供故障检测功能可紧急关闭 PWM 输出
- 可选择自动触发 ADC 转换以及在一个 PWM 时基周期内任意两个时刻触发
- 提供寄存器重载使能位以保证寄存器重载同步
- PWM 可分时复用映射至 6 个端口
- PWM 运行过程中支持极性修改，更新方式可配置
- OVRD 强制输出更新方式：直接更新，上溢周期，下溢周期
- 占空比（CCPn & ENDn）、周期(PLOAD)、死区（DTIME）、强制电平（OVRD）、PWM 映射(PWM_SEL)、通道数据源选择（CH_SRC_SEL）寄存器更新方式可配置：上溢更新、下溢周期更新
- 触发方式：一个向上计数触发一个向下计数触发，使能独立



12.2 功能框图

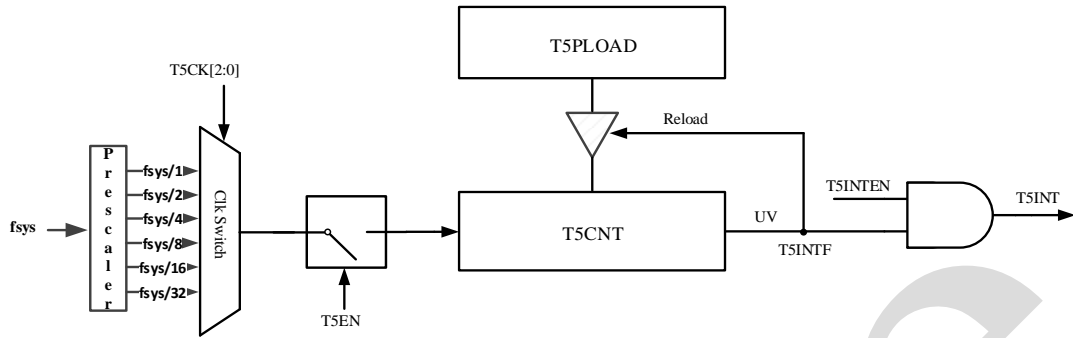


图 12.1 定时模式结构图

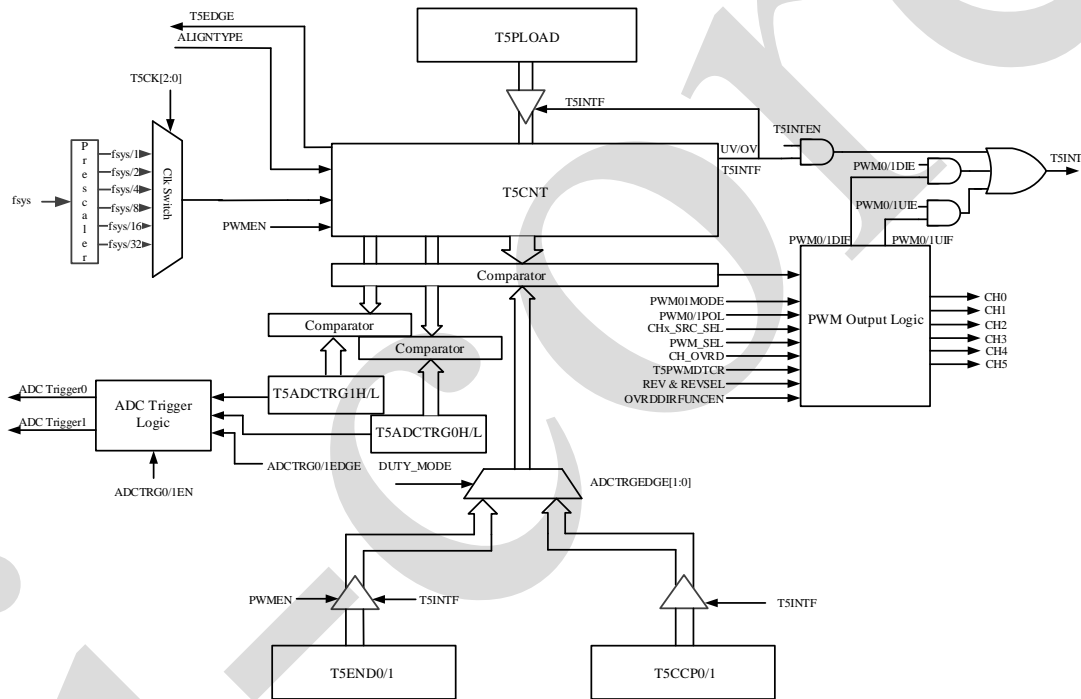


图 12.2 PWM 模式结构图



12.3 寄存器列表

表 12.3.1 T5 寄存器列表

名称	地址	描述	初值
T5PLOADL	9BH	Timer 5 预加载值寄存器-低字节	00H
T5PLOADH	9CH	Timer 5 预加载值寄存器-高字节	00H
T5L	9DH	Timer 5 计数寄存器-低字节	00H
T5H	9EH	Timer 5 计数寄存器-高字节	00H
T5PWMDTCR	ADH	Timer 5 死区寄存器-高字节	00H
T5CCP0L	AEH	Timer 5 通道 0 占空比寄存器-低字节	00H
T5CCP0H	AFH	Timer 5 通道 0 占空比寄存器-高字节	00H
T5CCP1L	B2H	Timer 5 通道 1 占空比寄存器-低字节	00H
T5CCP1H	B3H	Timer 5 通道 1 占空比寄存器-高字节	00H
T5ADCTRG0L	BEH	Timer 5 ADC 触发位置 0 寄存器-低字节	00H
T5ADCTRG0H	BFH	Timer 5 ADC 触发位置 0 寄存器-高字节	00H
T5ADCTRG1L	C2H	Timer 5 ADC 触发位置 1 寄存器-低字节	00H
T5ADCTRG1H	C3H	Timer 5 ADC 触发位置 1 寄存器-高字节	00H
T5END0L	C4H	Timer 5 通道 0 非对称模式后段占空比寄存器-低字节	00H
T5END0H	C5H	Timer 5 通道 0 非对称模式后段占空比寄存器-高字节	00H
T5END1L	C6H	Timer 5 通道 1 非对称模式后段占空比寄存器-低字节	00H
T5END1H	C7H	Timer 5 通道 1 非对称模式后段占空比寄存器-高字节	00H
T5CR	9AH	Timer 5 控制寄存器	00H
T5PWMCR0	A6H	Timer 5 PWM 控制寄存器 0	00H
T5PWMCR1	A7H	Timer 5 PWM 控制寄存器 1	20H
T5PWMCR2	AAH	Timer 5 PWM 控制寄存器 2	00H
T5PWMCR3	ABH	Timer 5 PWM 控制寄存器 3	00H
T5PWMOVRD	ACH	Timer 5 PWM 强制电平寄存器	00H
T5ADCTRGEN	CCH	Timer 5 ADC 触发控制寄存器	00H
T5PWMINTEN	CDH	Timer 5 PWM 占空比中断使能控制寄存器	00H
T5PWMINTF	CEH	Timer 5 PWM 占空比中断标志寄存器	00H



12.4 寄存器说明

表 12.4.1 T5CR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5EDGE	ALIGN_TYPE	T5INTF	T5INTEN	T5CK[2:0]			T5EN
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	T5EDGE	定时器 5 向上/向下计数边沿指示标志。 0: 向下计数(Underflow) 1: 向上计数(Overflow)
6	ALIGN_TYPE	定时器 5 PWM 对齐方式 0: 边沿对齐 1: 中心对齐
5	T5INTF	定时器 5 中断标志 (软件写 0 清零, 写 1 无影响) 0: 无中断触发 1: 中断触发
4	T5INTEN	定时器 5 中断使能位 0: 除能 1: 使能
3-1	T5CK[2:0]	T4 输入时钟源选择 000: Fsys 001: Fsys/2 010: Fsys/4 011: Fsys/8 100: Fsys/16 101: Fsys/32 110: 保留 111: 保留
0	T5EN	T5 定时器模式使能位 0: 除能 1: 使能 若该位打开则不能进入 PWM 模式



表 12.4.2 T5PWMCRO 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PWM1_POL	PWM0_POL	CHx_OE[5:0]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	PWM1_POL	PWM1 极性设置位 独立模式 0: 当 PWMcnt≤T5CCP1 时, PWM1 输出低电平 1: 当 PWMcnt≤T5CCP1 时, PWM1 输出高电平 互补模式 0: PWMcnt≤T5CCP0 时, PWM1 输出高电平 1: PWMcnt≤T5CCP0 时, PWM1 输出低电平
6	PWM0_POL	PWM0 极性设置位 独立模式 0: 当 PWMcnt≤T5CCP0 时, PWM0 输出低电平 1: 当 PWMcnt≤T5CCP0 时, PWM0 输出高电平 互补模式 0: 当 PWMcnt≤T5CCP0 时, PWM0 输出低电平 1: 当 PWMcnt≤T5CCP0 时, PWM0 输出高电平
5-0	CHx_OE	PWM 通道输出使能位 0: 除能 1: 使能

表 12.4.3 T5PWMCRI 寄存器

Bit	7	6	5	4	3	2	1	0
Name	OVC_EN	OVRD_DIR_FUNC_EN	REFRESH_EDGE_SEL	PWM01_MODE	DUTY_MODE	PWM_EN	PWM_INT_POINT[1:0]	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	1	0	0	0	0	0

位	字段	描述
7	OVC_EN	紧急停止使能 0: 除能 1: 使能
6	OVRD_DIR_FUNC_EN	强制电平 (OVRD)与通道数据源 (CH_SRC_SEL)立即更新使能位 立即更新仅可用于强制电平与 PWM 之间切换的立即更新 0: 对 CH_OVRD 与 CH_SRC_SEL 寄存器写值时, 寄存器数值在某次向上计数周期匹配或向下计数周期匹配后才更新 (配合 REFRESH_EDGE_SEL 位选择向上计数周期匹配时更新还是向下计数周期匹配时更新) 1: 对 CH_OVRD 与 CH_SRC_SEL 寄存器写值时, 寄存器数值立即更新
5	REFRESH_EDGE_SEL	当 ALIGN_TYPE 选择中心对齐模式时, 相关寄存器和 PWM 极性功能 (POL)更新位置选择位 相关寄存器包括占空比 (CCPn & ENDn)、周期(PLOAD)、死区 (DTIME)、强制电平 (OVRD)、PWM 映射 (PWM_SEL)、通道数据源选择



		(CH_SRC_SEL)。 0: 对相关寄存器或 PWM 波极性进行更改时, 将会在计数器向下计数周期匹配时变化 1: 对相关寄存器或 PWM 波极性进行更改时, 将会在计数器向上计数周期匹配时变化 若 PWM 选择边沿对齐模式则固定计数向下计数周期匹配时更新
4	PWM01_MODE	PWM01 PWM 输出模式选择位 0: 独立模式 1: 互补模式
3	DUTY_MODE	定时器 5 PWM 占空比控制选择位。该控制位在 PWM 工作在中心对齐模式时才有效 0: 对称模式, PWM 占空比是由 T5CCPxL/T5CCPxH 控制 1: 非对称模式, PWM 占空比是由 T5CCPxL/T5CCPxH 以及 T5PWMxENDL/T5PWMxENDH 控制 非对称模式下, 在定时器 5 向下计数时, 转换时刻是由 T5CCPxL/T5CCPxH 决定的 在定时器 5 向上计数时, 转换时刻是 T5PWMxENDL/T5PWMxENDH 决定的
2	PWM_EN	PWM 模式计数使能位 (优先级低于 T5EN) 0: 除能 1: 使能
1-0	PWM_INT_POINT[1:0]	PWM 中断设置位 00: 中断触发在计数器向下计数周期匹配时 01: 中断触发在计数器向上计数周期匹配时 10: 中断触发在计数器向上计数周期匹配和向下计数周期匹配时 11: 无效

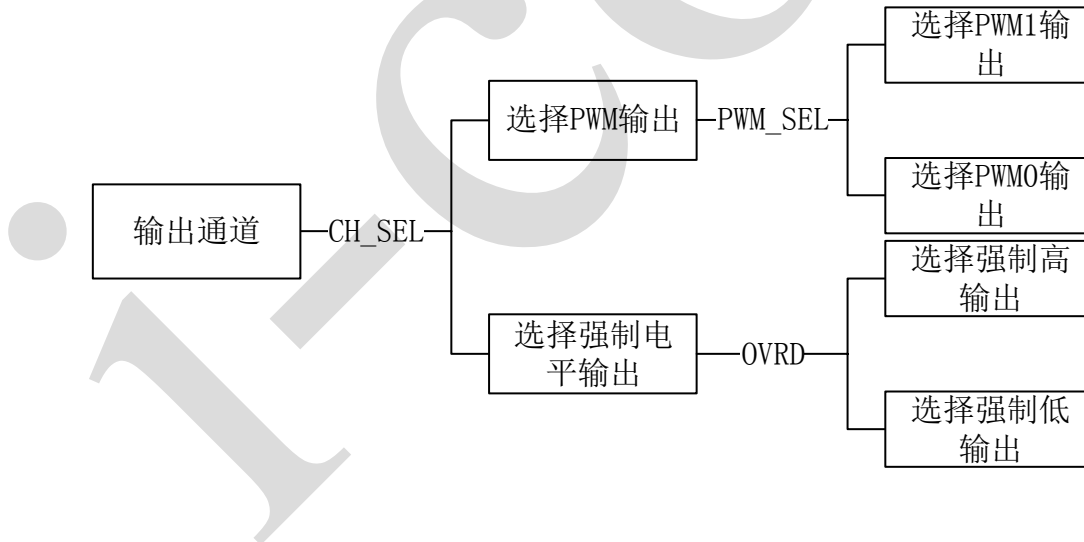




表 12.4.4 T5PWMCR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	REV	REV_SE L	CH5_PW M_SEL	CH4_PW M_SEL	CH3_PW M_SEL	CH2_PW M_SEL	CH1_PW M_SEL	CH0_PW M_SEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	REV	中心对齐互补模式 PWM0,PWM1 反相位 0: 不进行反相 1: 进行反相 REV 专用于中心对齐互补模式下, 只能在工作过程中反相, 关闭 PWM 使能时会自动清零 会同时改变 PWM0,PWM1 的相位, 但不会改变最终波形中死区插入的位置
6	REV_SEL	REV 配置选择位 0: REV 反相位置死区长度为 2 个系统时钟 1: REV 反相位置死区长度为 1 个系统时钟
5-0	CHx_PWM_SEL	通道源头 PWM 选择位 0: 选择映射为 PWM0 1: 选择映射为 PWM1

表 12.4.5 T5PWMCR3 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	CH5_SR C_SEL	CH4_SR C_SEL	CH3_SR C_SEL	CH2_SR C_SEL	CH1_SR C_SEL	CH0_SR C_SEL
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5-0	CHx_SRC_SEL	通道源头选择位 0: 选择强制电平 1: 选择映射 PWM 波



表 12.4.6 T5PWMOV RD 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EINT_SEL[1:0]		CH5_OV RD	CH4_OV RD	CH3_OV RD	CH2_OV RD	CH1_OV RD	CH0_OV RD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	EINT_SEL[1:0]	需使能 OVC_EN 00: EIRQ5 (比较器 2 中断) 01: EIRQ1 10: EIRQ2 11: EIRQ3
5-0	CHx_OVRD	通道强制电平选择位 0: 强制电平为 0 1: 强制电平为 1

表 12.4.7 T5PWMINTEN 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	PWM1DI E	PWM1UI E	PWM0DI E	PWM0UI E
R/W	-	-	-	-	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
3	PWM1DIE	PWM1 向下计数占空比中断使能 0: 禁止 1: 使能
2	PWM1UIE	PWM1 向上计数占空比中断使能 0: 禁止 1: 使能
1	PWM0DIE	PWM0 向下计数占空比中断使能 0: 禁止 1: 使能
0	PWM0UIE	PWM0 向上计数占空比中断使能 0: 禁止 1: 使能



表 12.4.8 T5PWMINTF 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	PWM1DIF F	PWM1UIF F	PWM0DIF F	PWM0UIF F
R/W	-	-	-	-	R/W0	R/W0	R/W0	R/W0
POR	0	0	0	0	0	0	0	0

位	字段	描述
3	PWM1DIF	PWM1 向下计数占空比中断标志（软件写 0 清零，写 1 无影响） 0: 中断未发生 1: 中断已发生
2	PWM1UIF	PWM1 向上计数占空比中断标志（软件写 0 清零，写 1 无影响） 0: 中断未发生 1: 中断已发生 互补模式下 PWM1UIF/DIF 不工作，保持为低
1	PWM0DIF	PWM0 向下计数占空比中断标志（软件写 0 清零，写 1 无影响） 0: 中断未发生 1: 中断已发生
0	PWM0UIF	PWM0 向上计数占空比中断标志（软件写 0 清零，写 1 无影响） 0: 中断未发生 1: 中断已发生

表 12.4.9 T5ADCTRGEN 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	ADCTR G1_EDGE E	ADCTR G0_EDGE E	ADCTR G1_EN	ADCTR G0_EN
R/W	-	-	-	-	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
3	ADC_TRG1_EDGE	T5 ADC 触发位置 1 触发方式 0: 向下计数触发 1: 向上计数触发
2	ADC_TRG0_EDGE	T5 ADC 触发位置 0 触发方式 0: 向下计数触发 1: 向上计数触发
1	ADC_TRG1_EN	T5 ADC 触发位置 1 触发使能 0: 禁止 1: 使能
0	ADC_TRG0_EN	T5 ADC 触发位置 0 触发使能 0: 禁止 1: 使能

注：PWM 除能情况下，T5 不会触发 ADC。



表 12.4.10 T5PLOADH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5PLOADH[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5PLOADH[7:0]	T5 预加载寄存器-高字节

表 12.4.11 T5PLOADL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5PLOADL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5PLOADL[7:0]	T5 预加载寄存器-低字节

表 12.4.12 T5H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5H[7:0]	T5 计数寄存器-高字节

表 12.4.13 T5L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5L[7:0]	T5 计数寄存器-低字节



表 12.4.14 T5PWMDTCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5PWMDTCR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5PWMDTCR[7:0]	T5PWM 死区寄存器

表 12.4.15 T5CCP0H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5CCP0H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5CCP0H[7:0]	T5 通道 0 占空比寄存器-高字节

表 12.4.16 T5CCP0L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5CCP0L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5CCP0L[7:0]	T5 通道 0 占空比寄存器-低字节

表 12.4.17 T5CCP1H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5CCP1H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5CCP1H[7:0]	T5 通道 1 占空比寄存器-高字节



表 12.4.18 T5CCP1L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5CCP1L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5CCP1L[7:0]	T5 通道 1 占空比寄存器-低字节

表 12.4.19 T5END0H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5END0H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5END0H[7:0]	T5 通道 0 非对称模式后段占空比寄存器-高字节

表 12.4.20 T5END0L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5END0L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5END0L[7:0]	T5 通道 0 非对称模式后段占空比寄存器-低字节

表 12.4.21 T5END1H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5END1H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5END1H[7:0]	T5 通道 1 非对称模式后段占空比寄存器-高字节



表 12.4.22 T5END1L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5END1L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5END1L[7:0]	T5 通道 1 非对称模式后段占空比寄存器-低字节

表 12.4.23 T5ADCTRG0H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5ADCTRG0H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5ADCTRG0H[7:0]	T5ADC 触发位置 0 寄存器-高字节

表 12.4.24 T5ADCTRG0L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5ADCTRG0L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5ADCTRG0L[7:0]	T5ADC 触发位置 0 寄存器-低字节

表 12.4.25 T5ADCTRG1H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5ADCTRG1H[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5ADCTRG1H[7:0]	T5ADC 触发位置 1 寄存器-高字节



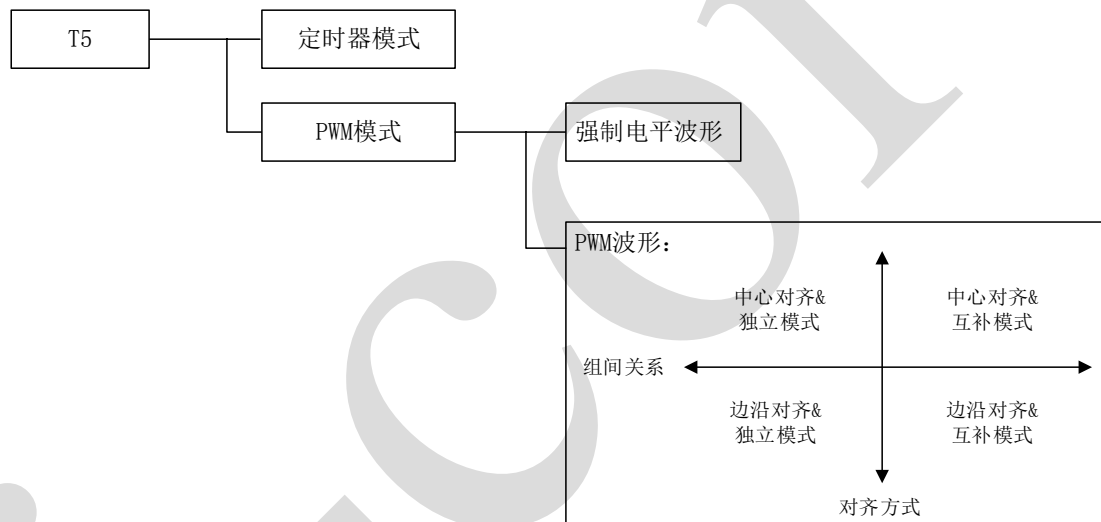
表 12.4.26 T5ADCTRG1L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5ADCTRG1L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	T5ADCTRG1L[7:0]	T5ADC 触发位置 1 寄存器-低字节

12.5 功能说明

定时器 5 是一个 16 位寄存器，既可用作普通定时器，也可用于 PWM 发生器使用。作为 PWM 发生器使用时，基于波形支持互补模式和独立模式，基于时间支持两种计数模式：边沿对齐模式、中心对齐模式。中心对齐模式下还支持非对齐模式，具体模式分类如下：





12.5.1 定时模式

定时模式下，定时器 5 按照系统时钟向下计数，计数时钟支持 6 种分频 (F_{sys} , $F_{sys}/2$, $F_{sys}/4$, $F_{sys}/8$, $F_{sys}/16$, $F_{sys}/32$)。当定时器 5 的计数至 0 时，不仅 T5INTF 被置位，而且定时器 5 寄存器会加载 T5PLOADH/L 的 16 位值，T5PLOADH/L 的内容可通过软件预先设置。

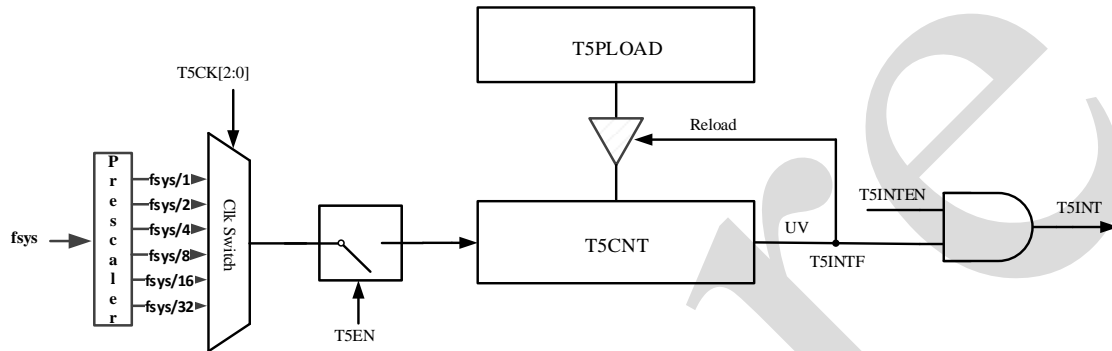


图 12.3 定时模式结构图

12.5.2 PWM 模式

定时器 5 包含 2 路 PWM 功能。当 PWMEN 使能后，在 T5H/L 小于或大于 T5CCPx(T5ENDx)的值时，PWM 输出会发生翻转。

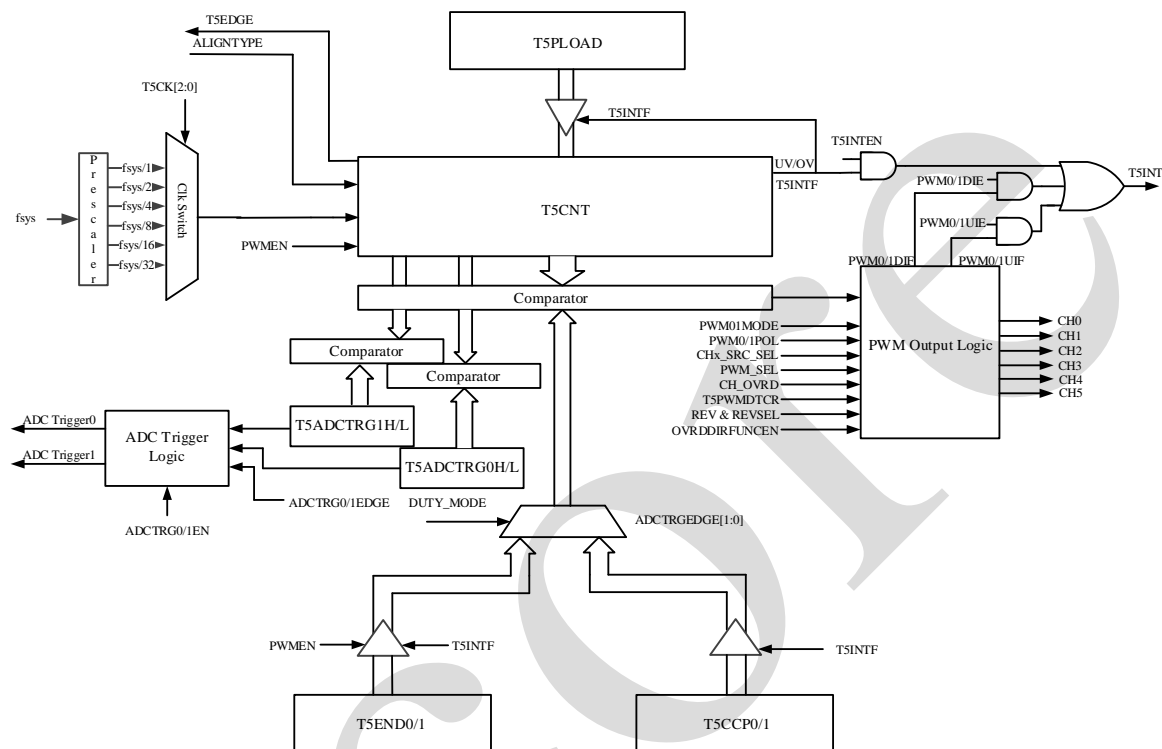


图 12.4 PWM 模式结构图

按照定时器 PWM 波形的对齐方式，有两种模式选择：中心对齐和边沿对齐。

边沿对齐模式下计数器向下计数，当计数器向下计数溢出（计数到零）时，硬件会自动重载 T5PLOAD 值到计数器中。在中心对齐时，计数器先执行向下计数，然后执行向上计数。在中心对齐模式下还可以通过配置 DUTYMODE 位选择对称模式和非对称模式。

按照两个定时器通道之间的关系分类有两种模式选择：独立模式和互补模式。处于独立模式下时，两个 PWM 通道的占空比由各自的占空比寄存器决定。处于互补模式下时，两个 PWM 通道共用一个占空比寄存器 T5CCP0，PWM 波形呈现互补或近似互补的形态。

两种模式交叉可产生以下四种 PWM 模式：

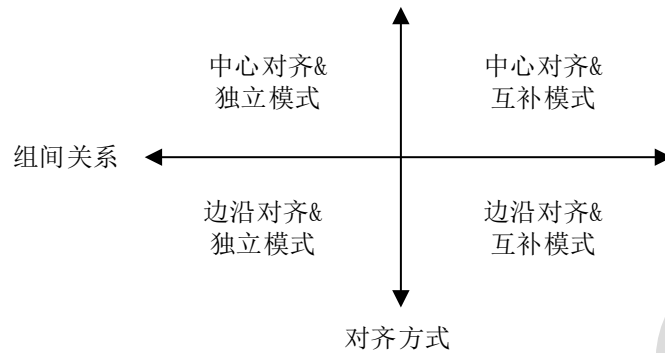


图 12.5 PWM 模式分类

本图中不带死区PWM模式配置如下:

- 1、计数模式使能T5EN = 0
- 2、PWM使能PWMEN=1
- 3、中心对齐对称模式ALIGNTYPE =1,DUTYMODE=0
- 4、独立通道PWM模式PWM01MODE = 0

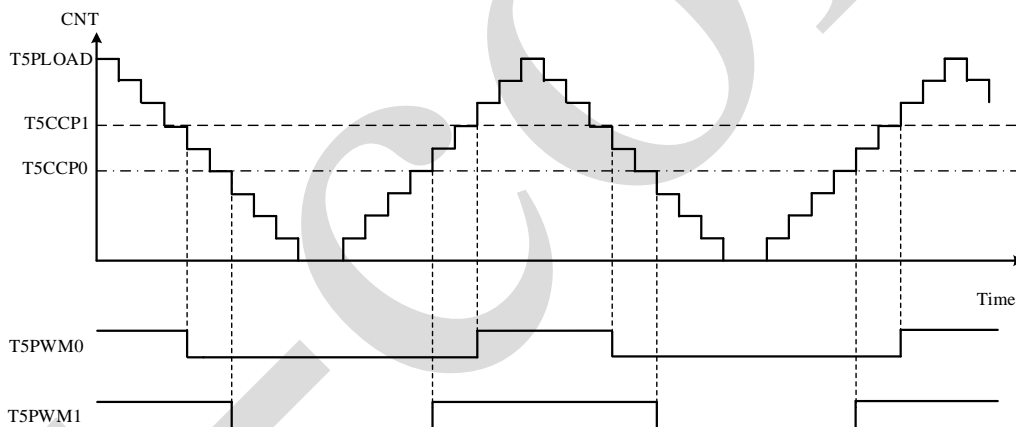


图 12.6 中心对齐独立模式



本图中不带死区PWM模式配置如下:

- 1、计数模式使能T5EN = 0
- 2、PWM使能PWMEN = 1
- 3、中心对齐对称模式ALIGNTYPE = 1, DUTYMODE = 0
- 4、互补通道PWM模式PWM01MODE = 1

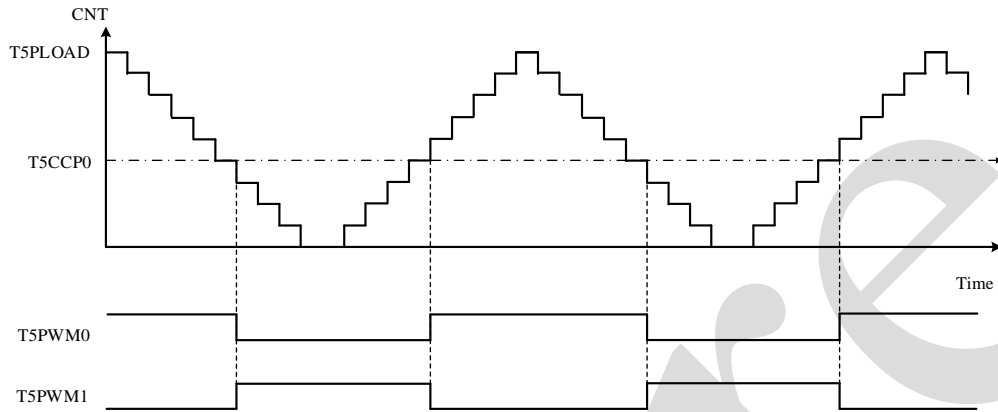


图 12.7 中心对齐互补模式

本图中不带死区PWM模式配置如下:

- 1、计数模式使能T5EN = 0
- 2、PWM对应的通道使能PWMEN = 1
- 3、边沿对齐对称模式ALIGNTYPE = 0
- 4、独立通道PWM模式PWM01MODE = 0

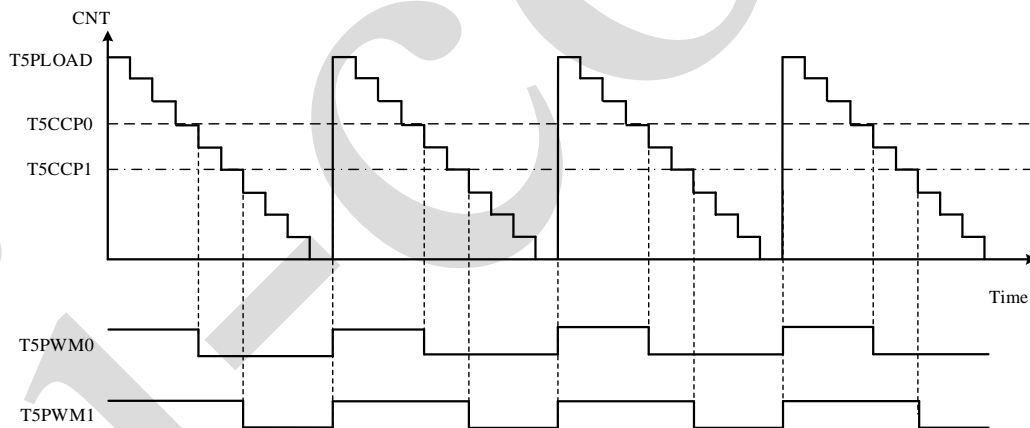


图 12.8 边沿对齐独立模式

本图中不带死区PWM模式配置如下:

- 1、计数模式使能T5EN = 0
- 2、PWM对应的通道使能PWMEN = 1
- 3、边沿对齐对称模式ALIGNTYPE = 0
- 4、互补通道PWM模式PWM01MODE = 1

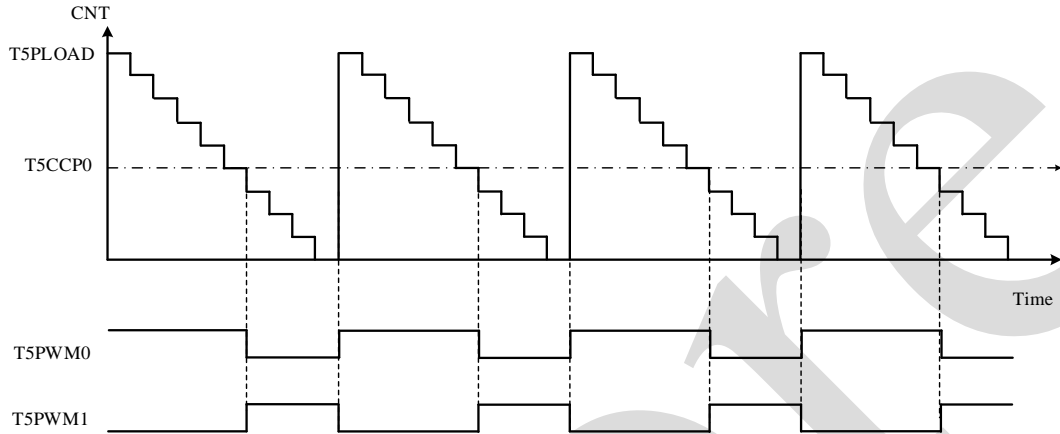


图 12.9边沿对齐互补模式

12.5.3 死区添加

在互补模式下，可以通过配置寄存器 T5PWMDTCR 给 PWM 波形添加死区。在默认极性配置下，死区都插入在 PWM 波形上升沿位置。

本图中带死区PWM模式配置如下:

- 1、计数模式使能T5EN = 0
- 2、PWM对应的通道使能PWMEN = 1
- 3、中心对齐对称模式ALIGNTYPE = 1, DUTYMODE = 0
- 4、互补通道PWM模式PWM01MODE = 1

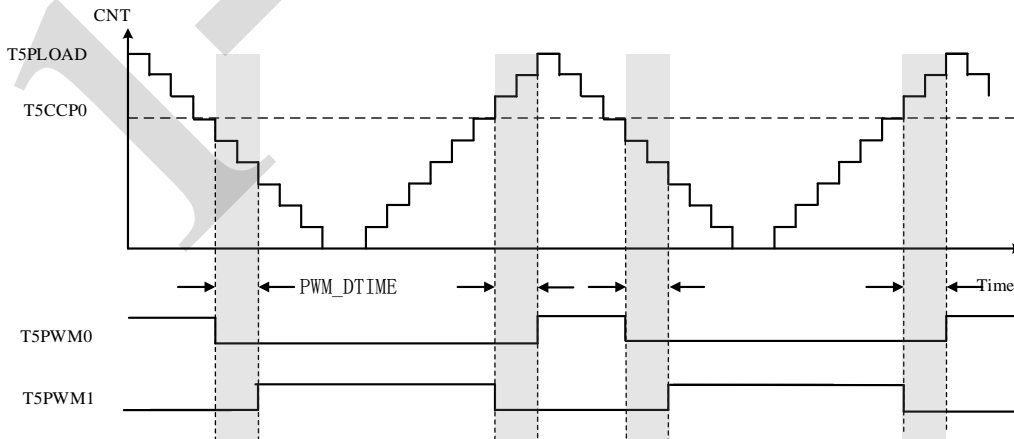


图 12.10 中心对齐模式添加死区



本图中带死区PWM模式配置如下:

- 1、计数模式使能T5EN = 0
- 2、PWM对应的通道使能PWMEN = 1
- 3、边沿对齐模式ALIGNTYPE =0,DUTYMODE=0
- 4、互补通道PWM模式PWM01MODE = 1

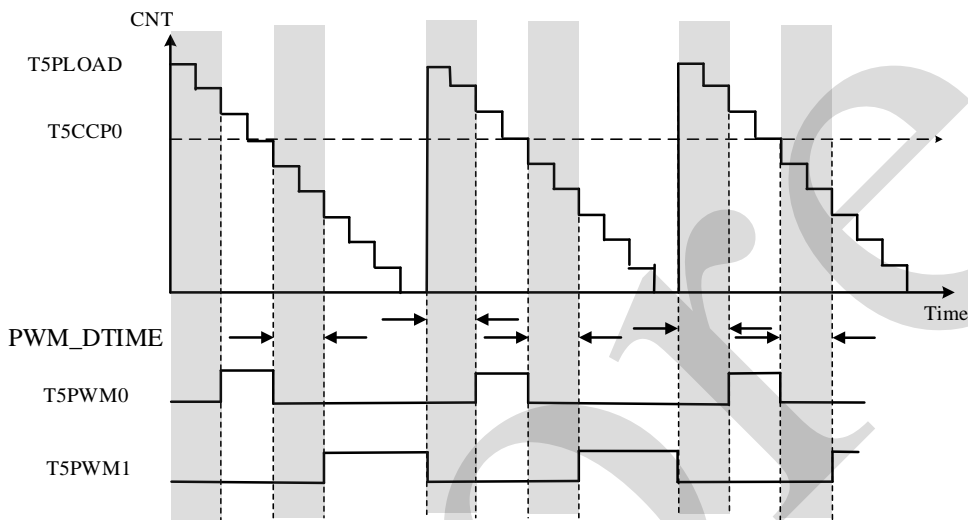


图 12.11 边沿对齐模式添加死区

12.5.4 非对称模式

在中心对齐模式下，可以通过配置寄存器位 DUTYMODE 来开启非对称模式，灵活调整中心对齐模式下的占空比。

本图中带死区PWM模式配置如下:

- 1、计数模式使能T5EN = 0
- 2、PWM对应的通道使能PWMEN = 1
- 3、中心对齐非对称模式ALIGNTYPE =1,DUTYMODE=1
- 4、互补通道PWM模式PWM01MODE = 1

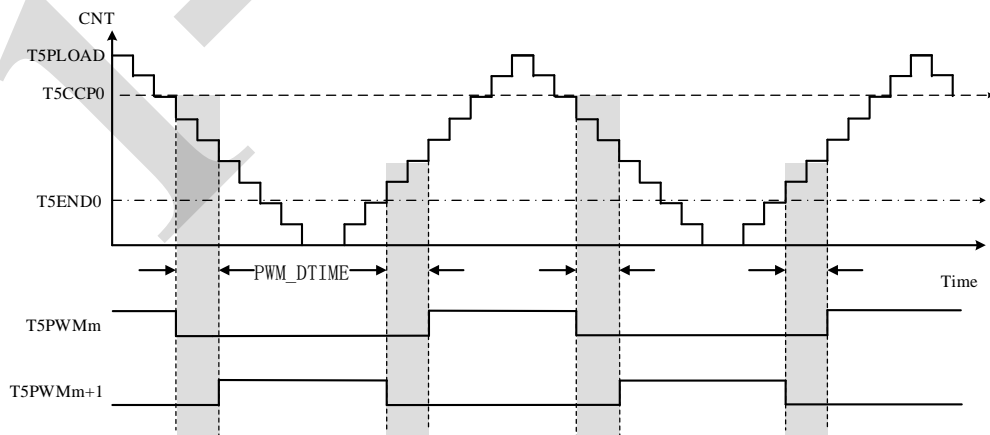


图 12.12 中心对齐非对称模式



12.5.5 REV 反相与 POL 极性控制

REV 专用于中心对齐互补模式下，只能在工作过程中反相，关闭 PWM 使能时会自动清零，会同时改变 PWM0、PWM1 的相位，但不会改变最终波形中死区插入的位置。进行 REV 时反相时，会在 REV 实际作用节点插入一个 REV 专用死区，长度与死区配置寄存器无关，为 1 或 2 个系统时钟，具体长度可通过 REVSEL 位选择。

POL 极性控制也可以令 PWM 波形反相，且在 PWM 任何模式下都有效。但实际上 POL 极性寄存器需在 PWM 模式开始工作前就配置好，不能在工作过程中修改。且若死区有效时，修改 POL 极性也会同时改变死区插入的位置。例如默认情况下死区在 PWM 波形上升沿插入，但若 POL 极性配置为高，死区就会在极性反相波形的下降沿插入。

本图中带死区 PWM 模式配置如下：

- 1、计数模式使能 TSEN = 0
- 2、PWM 使能 PWMEN = 1
- 3、中心对齐对称模式 ALIGNTYPE = 1, DUTYMODE = 0
- 4、互补通道 PWM 模式 PWM01MODE = 1
- 5、PWM0POL = 0, PWM1POL = 0
- 6、REV 翻转死区选择 1 个系统时钟，REVSEL = 1
- 7、向上计数周期匹配时更新，REFRESHEDGESEL = 1

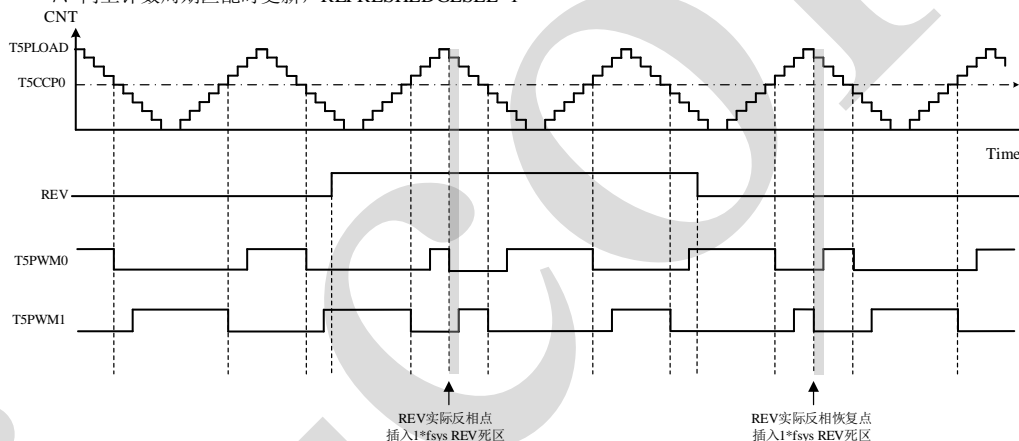


图 12.13 REV 反相，PWM0POL = 0，PWM1POL = 0

本图中带死区PWM模式配置如下:

- 1、计数模式使能TSEN = 0
- 2、PWM使能PWMEN = 1
- 3、中心对齐对称模式ALIGNTYPE = 1,DUTYMODE=0
- 4、互补通道PWM模式PWM01MODE = 1
- 5、PWM0POL=0,PWM1POL=1
- 6、REV翻转死区选择1个系统时钟, REVSEL=1
- 7、向上计数周期匹配时更新, REFRESHEDGESEL=1

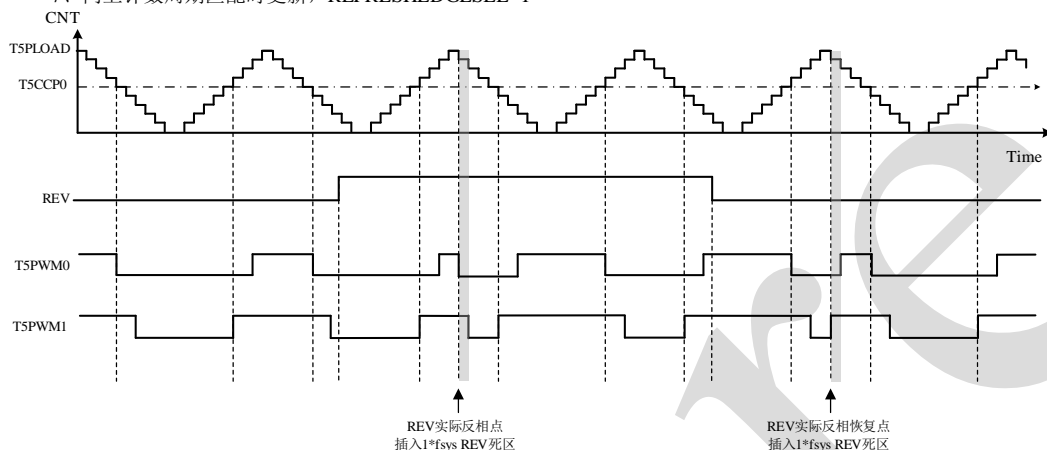


图 12.14 REV 反相,PWM0POL = 0,PWM1POL = 1

12.5.6 中断

PWM 模式下可以产生计数溢出中断与占空比中断。

当计数器向上计数周期匹配,或向下计数等于 0 时会触发计数溢出中断。可以通过配置 PWMINTPOINT 调整中断触发的位置。

占空比中断在计数器计数到占空比值时触发。可以通过配置 T5PWMINTEN 寄存器修改触发占空比中断的条件。注意当 PWM 模式选择位互补模式时, PWM1 占空比中断标志位不会置起。

12.5.7 通道映射

定时器 5 可产生两路 PWM 波形，但有六路通道输出。每一路通道可选择映射某一路 PWM 波，也可选择输出固定电平。通过选择 src_sel 寄存器,每个通道都可以选择是输出 PWM 波形还是输出固定电平。在选择了输出 PWM 波形的情况下可以通过配置 CHx_PWM_SEL 位来选择映射哪一路 PWM 波形。在选择了固定电平输出的情况下，可以通过配置 CHx_OVRD 位来选择输出高还是低电平。

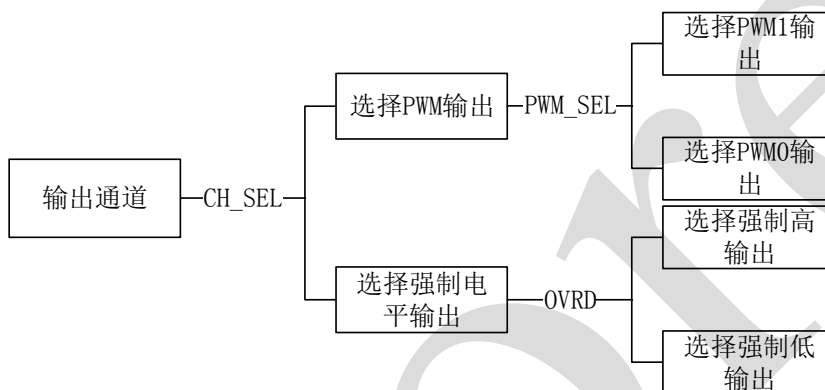


图 12.15 通道输出分支图

默认情况下，在 PWM 模式运行过程中，令某个通道在输出 PWM 波与输出强制电平之间切换，会等到计数器溢出时才有效。也通过配置寄存器位 OVRD_DIR_FUNC_EN 和 REFRESH_EDGE_SEL 来调整通道波形更新方式（立即更新还是延迟更新）与更新节点（向上计数匹配还是向下计数匹配）。

例如，某通道处于输出高电平状态，要令其于定时器向上计数匹配时切换为输出 PWM 波形，然后再于某次向上匹配计数时切换至输出固定电平低电平状态。配置与波形如下所示：



本图中不带死区,不带反相PWM模式配置如下:

- 1、计数模式使能TSEN = 0,PWM使能PWM_EN=1
- 2、PWM对应的通道使能CHx_OE = 1
- 3、中心对齐对称模式ALIGN_TYPE =1,DUTY_MODE=0
- 4、OVRD_DIR_FUNC_EN = 0,REFRESH_EDGE_SEL = 1

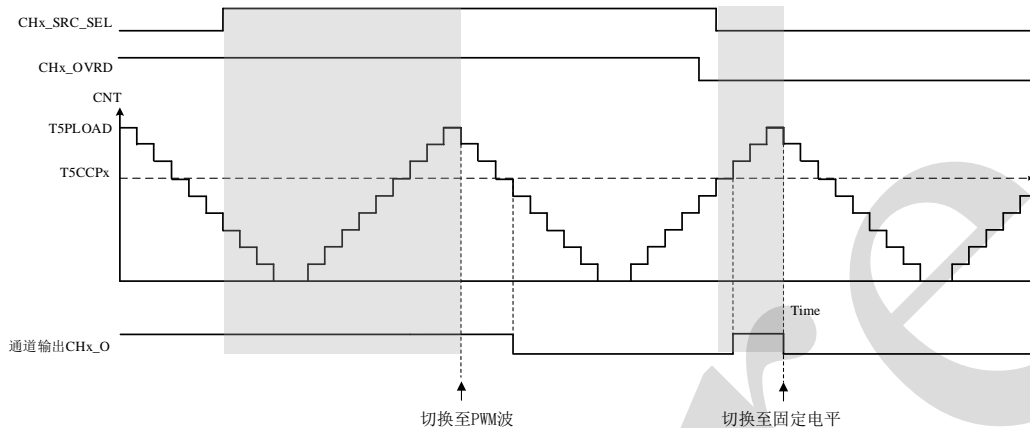


图 12.16向上计数匹配更新

若想令通道输出波形在向下计数周期匹配时更新,可如下图赋值:

本图中不带死区,不带反相PWM模式配置如下:

- 1、计数模式使能TSEN = 0,PWM使能PWM_EN=1
- 2、PWM对应的通道使能CHx_OE = 1
- 3、中心对齐对称模式ALIGN_TYPE =1,DUTY_MODE=0
- 4、OVRD_DIR_FUNC_EN = 0,REFRESH_EDGE_SEL = 0

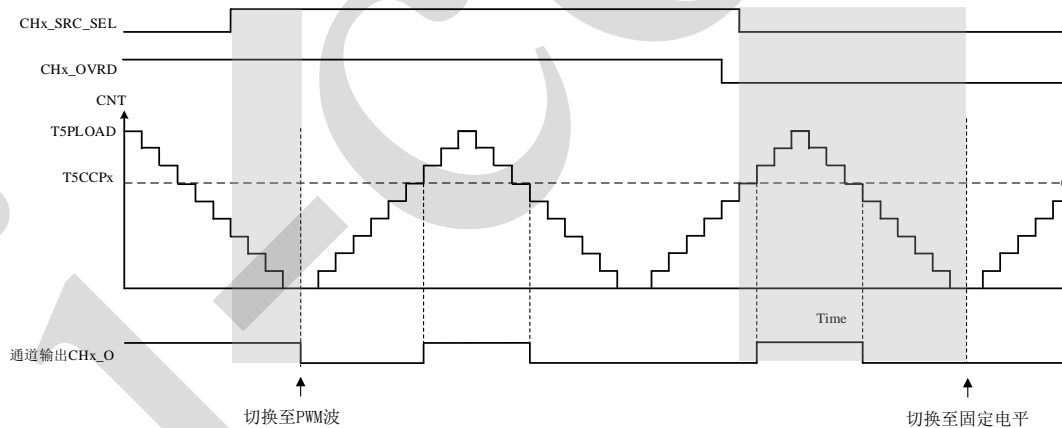


图 12.17 向下计数匹配更新

若令强制电平立即更新,在 PWM 波切换至强制电平时,需要先配置强制电平寄存器 CHx_OVRD,再配置 CHx_SRC_SEL 位。



- 本图中不带死区,不带反相PWM模式配置如下:
- 1、计数模式使能TSEN = 0,PWM使能PWM_EN=1
 - 2、PWM对应的通道使能CHx_OE = 1
 - 3、中心对齐对称模式ALIGN_TYPE =1,DUTY_MODE=0
 - 4、OVRD_DIR_FUNC_EN = 1,REFRESH_EDGE_SEL = 1

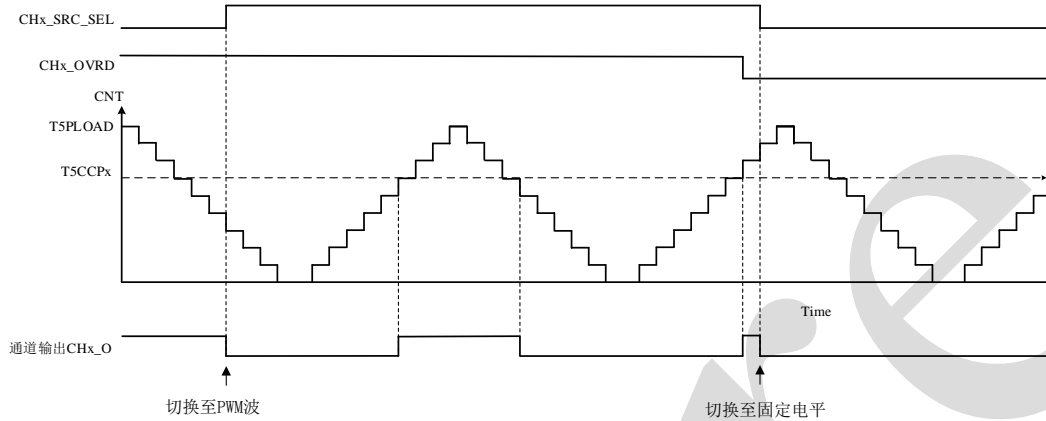


图 12.18 立即更新

12.5.8 ADC 联动

定时器 5 在 PWM 模式下支持与 ADC 联动,当 ADC 触发使能时,当计数器计数值与 T5ADCTRГ 匹配时,会触发 ADC 采样。通过配置 ADC_TRG_EDGE 来选择触发 ADC 采样的位置是位于向上计数匹配点还是向下计数匹配点。

12.5.9 过流检测

定时器 5 支持过流检测功能。打开过流检测使能,默认情况下选择 EIRQ5 (比较器 2 中断),当触发比较器 2 中断会自动停止 PWM 计数,停止产生 PWM 波形,但若定时器 5 处于定时模式则无影响。也可以配置 T5PWMOVRD 寄存器里的 EINT_SEL 位,来选择促使 PWM 模式停止的外部中断,通过接收外部信号决定是否停止 PWM 计数。



13 WDT

13.1 特性

看门狗定时器，可以设置看门狗时钟以及看门狗溢出周期，可以产生看门狗中断或者复位整个芯片的看门狗复位。

- 可配置看门狗计数器的溢出时间
- 可选择 fsys 的分频时钟或 LIRC 作为看门狗计数器的驱动时钟
- 可根据用户配置，使能看门狗复位功能，或只使其作为一个独立运行的定时器

13.2 功能框图

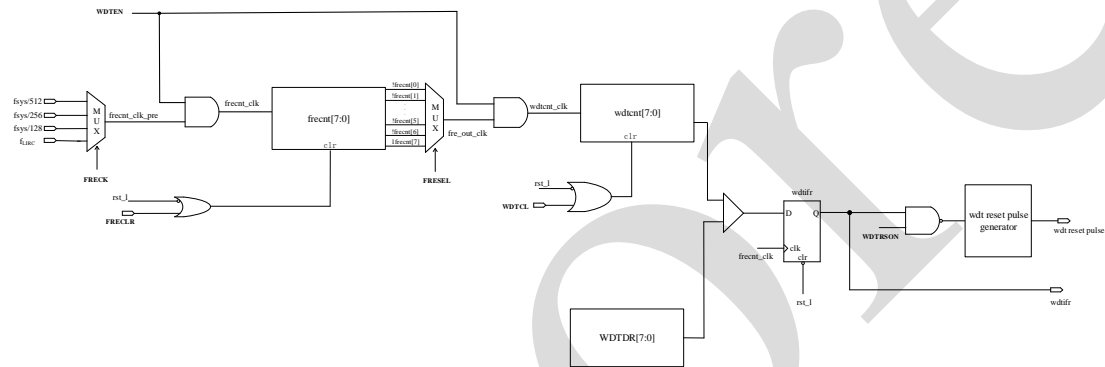


图 13.2.1 WDT 功能框图

13.3 寄存器列表

表 13.3.1 WDT 寄存器列表

名称	地址	描述	初值
FRECNT	94H	WDT 预分频计数器	00H
FRECR	95H	WDT 预分频控制寄存器	01H
WDTCR	93H	WDT 控制寄存器	00H
WDTDR	92H	WDT 溢出值寄存器	FFH
WDTCNT	92H	WDT 计数值寄存器	00H



13.4 寄存器说明

表 13.4.1 FRECR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	FRECK[1:0]		-	FRECLR	FRESEL[2:0]		
R/W	-	R/W	R/W	-	W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	1

位	字段	描述
6-5	FRECK[1:0]	预分频器时钟选择控制位 00: fsys/512 01: fsys/256 10: fsys/128 11: f _{LIRC}
3	FRECLR	预分频软件清零 0: 无效 1: 清零 如果该位写入“1”，FRECNT 计数器清零，2 个系统时钟周期后自动清除
2-0	FRESEL[2:0]	预分频分频控制位 000: 2 分频 001: 4 分频 (默认) 010: 8 分频 011: 16 分频 100: 32 分频 101: 64 分频 110: 128 分频 111: 256 分频

表 13.4.2 FRECNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	FRECNT[7:0]							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	FRECNT[7:0]	预分频计数器



表 13.4.3 WDTCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDTEN	WDTRSON	WDTCL	-	-	-	-	WDTIFR
R/W	R/W	R/W	W	-	-	-	-	R/W0
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	WDTEN	WDT 使能 0: 除能 1: 使能
6	WDTRSON	WDT 工作模式 0: 8-bit 独立运行定时器 1: 看门狗复位打开
5	WDTCL	WDT 定时器清 0 位 0: 无影响 1: 清 WDT 计数器 (2 个系统时钟周期后自动清除)
0	WDTIFR	WDT 中断标志位 (写'0'清零) 0: 没有中断产生 1: 有 WDT 中断产生

表 13.4.4 WDCNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDCNT[7:0]							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	WDCNT[7:0]	WDT 计数寄存器

表 13.4.5 WDTDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDTDR [7:0]							
R/W	W	W	W	W	W	W	W	W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	WDTCDR [7:0]	WDT 数据寄存器 置计数周期, 当 WDCNT 计数到预置的 WDTDR 时溢出



13.5 功能说明

13.5.1 看门狗复位模式

该看门狗定时器（WDT）可以将因程序错误或硬件冲突造成的系统死机通过复位的方式解除。其实现方式为，若未在一段时间内对 WDT 进行“喂狗”操作，WDT 会产生复位信号，复位整个电路。

WDT 计数器会根据用户的配置进行递增计数，每当 WDTCNT 溢出时，根据用户的配置决定是否生成复位信号。计数器在计数过程中，可以由程序进行“喂狗”操作，使计数器清 0 并重新从零向上递增计数。计数器的驱动时钟及溢出边界由用户进行配置，“喂狗”操作则由用户编写的程序执行。

其中，WDTCNT 的溢出时间由 FRECK 所选的分频时钟与 WDTDR 内的数值决定。

计算公式为：

$$\text{WDTCNT 溢出时间} = \text{分频时钟周期} \times (\text{WDTDR value} + 1)$$

下图为 WDTRSON 使能时，WDT 复位功能时序图。

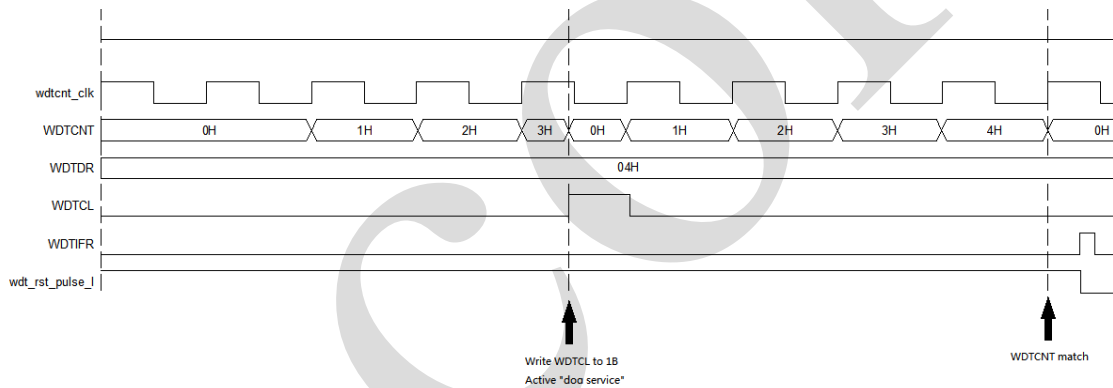


图 13.5.1 WDT 复位功能时序图

wdtcnt_clk 为通过 FRECK 控制位配置的 WDTCNT 驱动时钟，其会驱动 WDTCNT 计数器寄存器进行计数。当 WDTEN 使能后，WDTCNT 在 wdtcnt_clk 的驱动下开始递增计数，若在计数过程中对 WDTCL 写 1（喂狗）操作，则 WDTCL 信号置起且 WDTCNT 清 0，图中 WDTCL 信号会在 1 个周期后被硬件清 0，之后 WDTCNT 会在 wdtcnt_clk 的驱动下重新开始向上递增计数。当计数器溢出后（计数至 WDTDR 的值，图中为 04H）。会产生 WDT 中断标志信号 WDTIFR，此时若使能了 WDTRSON，则会产生 WDT 低电平有效复位信号（wdt_rst_1），其会对系统进行复位。



13.5.2 看门狗定时器模式

当 WDTRSON 未使能时，WDT 为一个计数器，其功能如下图所示

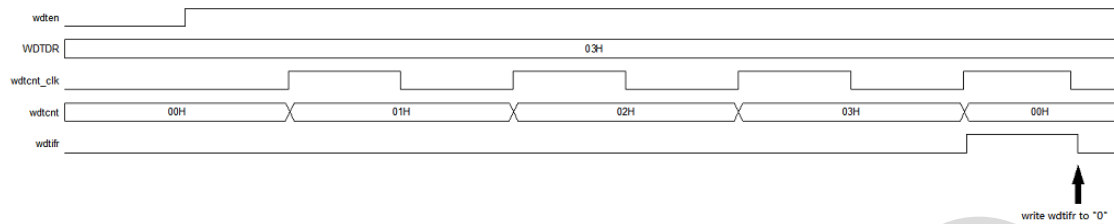


图 13.5.2 WDT 计数功能时序图

wdtcnt_clk 为通过 FRECK 控制位配置的 WDTCNT 驱动时钟，其会驱动 WDTCNT 计数寄存器进行计数。当 WDTEN 使能后，WDTCNT 会在 wdtcnt_clk 的驱动下开始递增计数，若未使能 WDTRSON 控制位，则 WDT 会作为一个定时器运行，当计数器溢出时（计数至 WDTDR 的值）。会产生 WDT 中断标志信号 wdtifr。

其中，WDTCNT 的溢出时间由 FRECK 所选的分频时钟与 WDTDR 内的数值决定。

计算公式为：

$$\text{WDTCNT 溢出时间} = \text{分频时钟周期} \times (\text{WDTDR value} + 1)$$



14 UART

14.1 特性

UART 为一个全双工异步接收/发送串行通信接口，具有以下特点：

- 全双工异步通信
- 可编程数据字长度（8 位或 9 位）
- 高精度波特率产生模块，波特率可编程且支持波特率微调
- 支持多处理器通信

14.2 功能框图

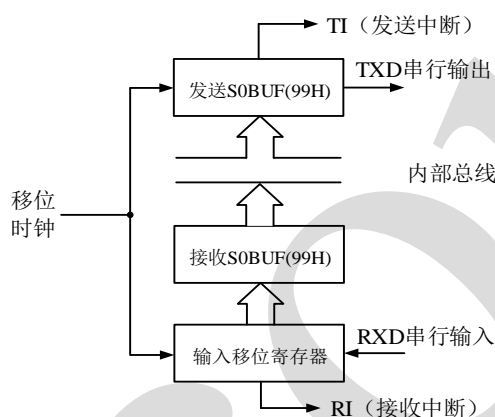


图 14.2.1 UART0 工作原理图

14.3 寄存器列表

表 14.3.1 WDT 寄存器列表

名称	地址	描述	初值
S0CON	98H	UART0 控制寄存器	00H
S0BUF	99H	UART0 数据寄存器	xxH
S0RELL	D5H	波特率控制寄存器低字节	00H
S0RELH	D6H	波特率控制寄存器高字节	00H



14.4 寄存器说明

表 14.4.1 S0CON 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SM00	-	SM02	REN0	TB08	RB08	TI0	RI0
R/W	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	SM00	模式选择 0: 9 位 UART 1: 8 位 UART
5	SM02	使能多机通信功能 0: 除能 1: 使能
4	REN0	使能串行接收 0: 接收禁止 1: 接收允许
3	TB08	第 9 个发送数据位
2	RB08	8 位模式下接收停止位, 9 位模式下为接收的第九数据位的值
1	TI0	发送中断标志
0	RI0	接收中断标志

表 14.4.2 S0BUF 寄存器

Bit	7	6	5	4	3	2	1	0
Name	S0BUF[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

位	字段	描述
7-0	S0BUF[7:0]	UART 数据缓冲器位 7-0 实际上是两个寄存器: 发送移位寄存器和接收锁存寄存器。 当数据被写到 S0BUF 时, 它进入发送移位寄存器等待串行发送。向 S0BUF 写入一个字节即启动发送过程。 读 S0BUF 时, 返回接收锁存器的内容。

表 14.4.3 S0RELL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	S0RELL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	S0RELL[7:0]	波特率控制寄存器低字节



表 14.4.4 S0RELH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	S0RELH[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	S0RELH[7:0]	波特率控制寄存器高字节

表 14.4.5 SYSCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCVR EF_EN	-	-	UART_E N	FWKTIME[3:0]			
R/W	R/W	-	-	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
4	UART_EN	UART0 接口使能 0: 除能 1: 使能

14.5 功能说明

UART0 提供 2 种工作模式，通过 S0CON 寄存器中的 SM00 位来选择。以下表格为不同模式的列表。当发送 / 接收数据传输操作完成，将发生发送 / 接收中断且中断请求位 TIO 或 RIO 位设为高。

表 14.5.1 UART 工作模式选择

模式	模式名称	波特率	同步	开始/停止位
模式 0	8-Bit UART	可变	异步	1 个起始位，1 个停止位
模式 1	9-Bit UART	可变	异步	1 个起始位，1 个停止位

接收器和发送器的波特率可按照下面的公式通过配置 16 位除法器 UARTDIV 来设置

$$\text{Baud rate} = \frac{F_{\text{SYS}}}{16 * (1024 - \text{UARTBD}) + \text{Fraction}}$$

UARTBD = S0RELH[5:4]+S0RELL[7:0]

Fraction = S0RELH[3:0]

UARTDIV 是一个无符号的整数。存储在寄存器 S0RELL 和 S0RELH 中。



例: $f_{sys} = 16\text{MHz}$, 需要得到 115200Hz 的波特率, UARTBD 和 Fraction 值计算方法如下:

$$16000000/115200/16 = 8.6805$$

$$\text{UARTBD} = 1024 - 8 = 1016$$

由 BaudRate 计算公式: $115200 = 16000000/(16 \times 8 + \text{Fraction})$

得到: $\text{Fraction} = 10.88 \approx 11$

$10'd1016 = 8'h3F8$, $10'd11=8'hB$; 故 $\text{S0RELL} = \text{F8H}$, $\text{S0RELH} = \text{3BH}$

波特计数器会在对寄存器 S0RELL 写入新值时更新为新的波特率寄存器值, 应当在写寄存器 S0RELL 前, 先写寄存器 S0RELH。

表 14.5.2 波特率设置举例

Baud Rate	Fys=16MHz			Fsys=8MHz		
	S0RELL	S0RELH	理论误差	S0RELL	S0RELH	理论误差
2400	60H	2AH	0.0001	30H	35H	0.0001
4800	30H	35H	0.0001	98H	33H	-0.0002
9600	98H	33H	-0.0002	CCH	31H	0.0004
14.4k	BBH	37H	0.0001	DEH	3CH	-0.0008
19.2k	CCH	31H	0.0004	E6H	31H	-0.0008
28.8k	DEH	3CH	-0.0008	EFH	36H	-0.0008
38.4k	E6H	31H	-0.0008	F3H	30H	0.0016
57.6k	EFH	36H	-0.0008	F8H	3BH	-0.0008
115.2k	F8H	3BH	-0.0008	FCH	35H	0.0064
230.4k	FCH	35H	0.0064	FEH	33H	-0.0079

14.5.1 模式 0(8-Bit UART)

在模式 0 下, TX 作为串行输出。发送 10 个位: 一个起始位(总是 0)、8 个数据位(首先是 LSB)和一个停止位(总是 1)。接收时, 起始位用来同步接收, 8 个数据位可通过读 S0BUF 获得, 停止位设置 SFR S0CON 的 RB08 标志位。

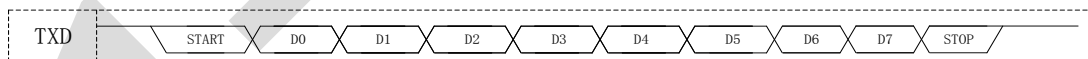


图 14.5.1 UART0 模式 0 发送时序图

14.5.2 模式 1(9-Bit UART)

该模式发送或接收: 一个起始位(0)、8 个数据位(首先是 LSB)、一个可编程的第 9 位和一个停止位(1)。发送时, S0CON 的 TB08 位是作为第 9 位输出; 接收时, 第 9 位则为 S0CON 的 RB08。

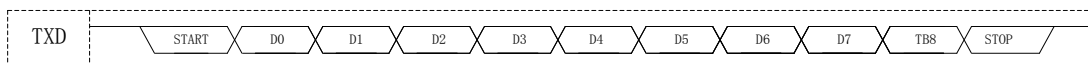


图 14.5.2 UART 模式 1 发送时序图



15 AD

15.1 特性

该 AD 可以将一个模拟信号的电压转换成为一个 12 位的数字量。用于转换的电压可以从 15 路模拟输入通道中选择。用于 AD 转换的时钟可配置为系统时钟或其分频时钟。AD 转换完成后，转换完成标志位将置起，并产生 AD 中断。AD 转换结果会被存入 2 个 8 位的数据寄存器。

- 12 位 A/D 转换器
- 15 个外部通道和 1 个内部通道 VBG1V
- 参考电压可编程选择内部 VDD 或者片内 VREF (4V/3V/2V)
- 用于 AD 转换具有 AD 转换完成标志位和 AD 中断
- AD 转换时钟可选 (fsys、fsys/2、fsys/4、fsys/8、fsys/16、fsys/20、fsys/24)
- 可编程采样保持时间 (2T、4T、8T、16T)，固定转换时间 (13T)

15.2 功能框图

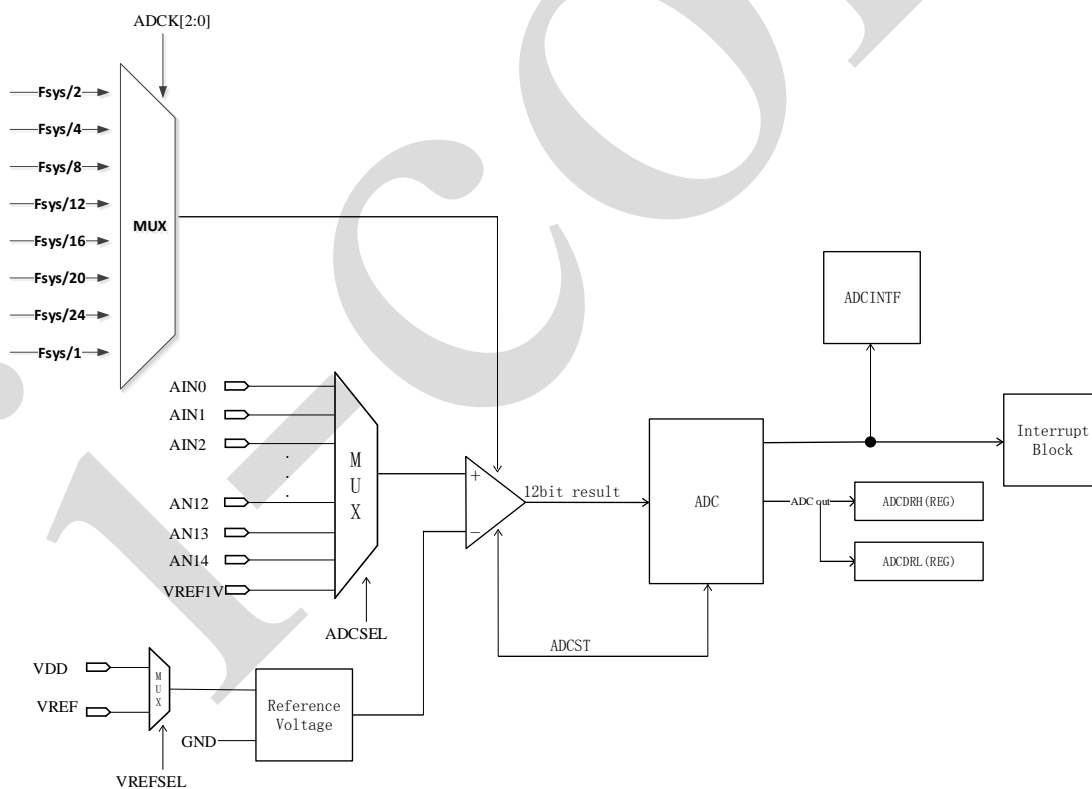


图 15.2.1 AD 功能框图



15.3 寄存器列表

表 15.3.1 ADC 寄存器列表 (PAGE3)

名称	地址	描述	初值
ADCCR0	D9H	ADC 控制寄存器 0	00H
ADCCR1	DAH	ADC 控制寄存器 1	00H
ADCDRL	DCH	ADC 数据寄存器-低字节	X0H
ADCDRH	DDH	ADC 数据寄存器-高字节	XXH
ADCAN0	DEH	ADC 模拟通道控制寄存器 0	00H
ADCAN1	DFH	ADC 模拟通道控制寄存器 1	00H

15.4 寄存器说明

表 15.4.1 ADCCR0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCINTE	ADCSH[1:0]		ADCCK[2:0]			-	-
R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	-
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	ADCINTE	ADC 转换完成中断允许位 0: 禁止 ADC 转换中断, 但 ADCINTF 不受影响 1: 允许 ADC 转换中断
6-5	ADCSH[1:0]	ADC 采样时间选位 00: 2*Fadc 01: 4*Fadc 10: 8*Fadc 11: 16*Fadc
4-2	ADCCK[2:0]	ADC 时钟 Fadc 选择位 000: Fsys/2 001: Fsys/4 010: Fsys/8 011: Fsys/12 100: Fsys/16 101: Fsys/20 110: Fsys/24 111: Fsys/1



表 15.4.2 ADCCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCST	VREFSEL[1:0]		ADCINT F	ADCSEL[3:0]			
R/W	R/W	R/W	R/W	R/W0	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	ADCST	ADC 转换启动控制位 0: 无影响 1: 启动转换
6-5	VREFSEL[1:0]	ADC 基准电压选择位 00: VDD 01: VREF2V 10: VREF3V 11: VREF4V AIN15 使能时电压切换为 VREF1V
4	ADCINTF	ADC 转换完成中断标志 (软件写 0 清 0, 写 1 无影响) 0: 空闲/正在转换中 1: 转换完成
3-0	ADCSEL[3:0]	ADC 模拟输入通道选择位 0000: AN0 0001: AN1 0010: AN2 0011: AN3 0100: AN4 0101: AN5 0110: AN6 0111: AN7 1000: AN8 1001: AN9 1010: AN10 1011: AN11 1100: AN12 1101: AN13 1110: AN14 1111: AN15(VREF1V/2V/3V/4V) 选择 AIN15 作为模拟输入时, ADC 基准电压自动切换为 VDD



表 15.4.3 ADCDRL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCM[3:0]				-	-	-	-
R/W	R	R	R	R	-	-	-	-
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-4	ADCM[3:0]	MSB 对齐, AD 转换数据低 4 位

表 15.4.4 ADCDRH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCM[11:4]							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ADCM[11:4]	MSB 对齐, AD 转换数据低 8 位

表 15.4.5 ADCAN0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位 (n=7-0) 0: 作为 I/O 口 1: 作为 ANn (n=7-0)

表 15.4.6 ADCAN1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	-	AN14	AN13	AN12	AN11	AN10	AN9	AN8
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位 (n=14-8) 0: 作为 I/O 口 1: 作为 ANn (n=14-8)



表 15.4.7 SYSCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCVR EF_EN	-	-	UART_E N	FWKTIME[3:0]			
R/W	R/W	-	-	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	ADCVREF_EN	ADC 参考电压使能位 0: 关闭 ADC 参考电压 1: 使能 ADC 参考电压



16 OPA&CMP

16.1 特性

AiPM7008 内置了 1 个运算放大器和 2 个比较器。运放与比较器的输入输出信号都可以直接引出到 I/O PAD。

■ 通用运算放大器

- 集成 1 个通用运算放大器
- 放大器的输入输出端都开放
- 放大器的输出端可作为 ADC 的输入

■ 比较器

- 集成 2 个比较器
- 比较器 1 正端可选 3 个外部端口，负端可选 1 个外部端口或正端 3 个外部输入桥接
- 比较器 1 原始输出可选内部时钟消抖
- 比较器 1 输出极性可配置，输出可关联至端口
- 比较器 1 迟滞比较器，上升、下降沿施密特窗口可配置,迟滞窗口 15mV
- 比较器 2 正端选择内部分压电阻，负端来源于 1 个外部端口
- 比较器 2 迟滞比较器，上升、下降沿施密特窗口可配置,迟滞窗口 15mV

16.2 功能框图

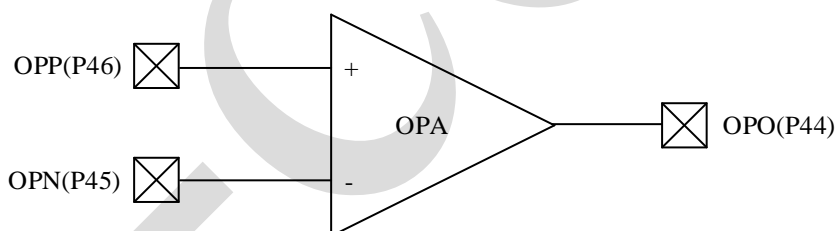


图 16.2.1 OPA 功能框图

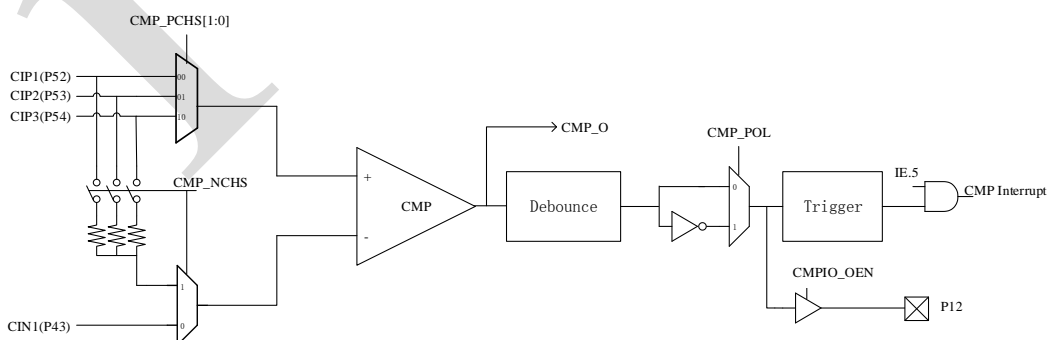


图 16.2.2 CMP1 功能框图

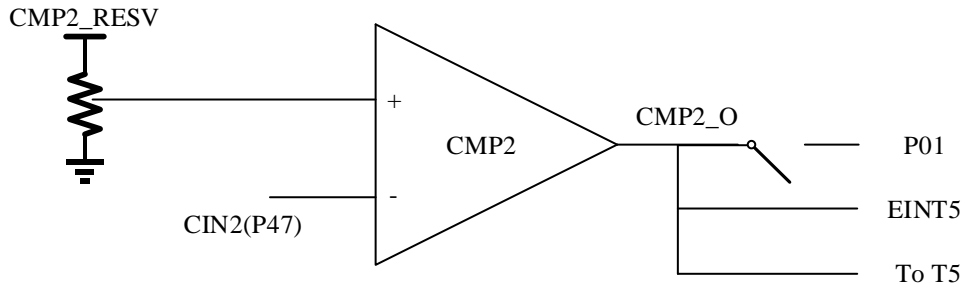


图 16.2.3 CMP2 功能框图

16.3 寄存器列表

表 16.3.1 OPA&CMP 寄存器列表

名称	地址	描述	初值
OPACR0	F1H	运放控制寄存器 0	00H
CMPCR0	F3H	比较器控制寄存器 0	00H
CMPCR1	F4H	比较器控制寄存器 1	00H
CMPCR2	F5H	比较器控制寄存器 1	00H

16.4 寄存器说明

表 16.4.1 OPACR0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CMP2_MS[1:0]		CMP_MS[1:0]		-	OPA_BIAS[1:0]		OPA_EN
R/W	R/W	R/W	R/W	R/W	-	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	CMP2_MS[1:0]	比较器 2 迟滞模式(迟滞窗口 15mV) 00: 无迟滞 01: 正迟滞 10: 负迟滞 11: 正负迟滞
5-4	CMP_MS[1:0]	比较器迟滞模式(迟滞窗口 15mV) 00: 无迟滞 01: 正迟滞 10: 负迟滞 11: 正负迟滞
2-1	OPA_BIAS[1:0]	运算放大器偏置电流选择位 00: 5uA 01: 15uA 10: 25uA 11: 35uA
0	OPA_EN	运算放大器使能位 0: 除能 1: 使能 运算放大器开启时, 对应的输入输出引脚 I/O 功能关闭, 自动切换为模拟引脚



表 16.4.2 CMPCR0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CMP_EN	CMP_DBS[2:0]			CMPIO_OEN	CMP_O	-	CMP_POL
R/W	R/W	R/W	R/W	R/W	R/W	R	-	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	CMP_EN	比较器比较器使能位 0: 除能 1: 使能
6-4	CMP_DBS[2:0]	比较器输出消抖时间选择位 000: 无 001: 8*Fsys 010: 16*Fsys 011: 32*Fsys 100: 40*Fsys 101: 48*Fsys 110: 56*Fsys 111: 64*Fsys
3	CMPIO_OEN	比较器输出信号输出到 IO 口使能位 0: 除能 1: 使能
2	CMP_O	比较器结果状态位 0: $V_{cmp+} < V_{cmp-}$ 1: $V_{cmp+} > V_{cmp-}$
0	CMP_POL	比较器输出极性反转位 0: 无反转 1: 反转

表 16.4.3 CMPCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CMP_TRIG[1:0]		-	CMP_INTF	CMP_MRES	CMP_NCHS	CMP_PCHS[1:0]	
R/W	R/W	R/W	-	R/W0	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	CMP_TRIG[1:0]	比较器中断触发模式 00: 上升沿 01: 下降沿 10: 双边沿 11: 双边沿
4	CMP_INTF	比较器中断标志 0: 未产生中断标志 1: 产生中断标志
3	CMP_MRES	虚拟中心桥接电阻阻值选择位(仅在 CMP_NCHS=1 时有效)



		0: 8KΩ 1: 16KΩ
2	CMP_NCHS	比较器反相输入端选择位 0: 选择 CIN1 作为反相输入端 1: 选择 CIP1~CIP3 桥接电阻作为反相输入端
1-0	CMP_PCHS[1:0]	比较器输出极性反转位 00: 选择 CIP1 作为同相输入端 01: 选择 CIP2 作为同相输入端 10: 选择 CIP3 作为同相输入端 11: 保留

表 16.4.4 CMPCR2 寄存器

Bit	7	6	5	4	3	2	1	0	
Name	CMP2_O	CMP2IO_OEN	CMP2_VS[4:0]						CMP2_EN
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
POR	0	0	0	0	0	0	0	0	

位	字段	描述
7	CMP2_O	比较器 2 结果状态位 0: $V_{cmp2+} < V_{cmp2-}$ 1: $V_{cmp2+} > V_{cmp2-}$
6	CMP2IO_OEN	比较器 2 输出信号输出到 IO 口使能位 0: 除能 1: 使能
5-1	CMP2_VS[4:0]	比较器 2 正端参考电压 CMP2_RESV 选择位 00000: $VDD * 0/32$ 00001: $VDD * 1/32$... 11010: $VDD * 26/32$ 11011: $VDD * 27/32$
0	CMP2_EN	比较器 2 使能位 0: 除能 1: 使能

16.5 功能说明

16.5.1 OPA

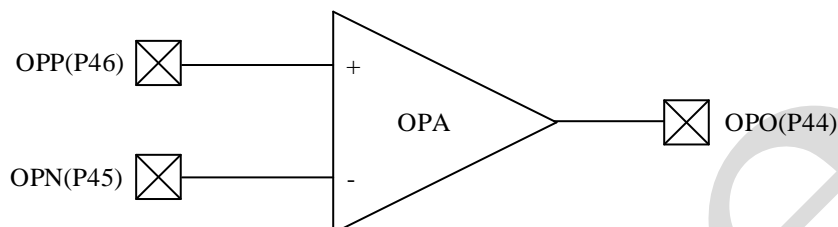


图 16.5.1 OPA 功能框图

OPA 模块可通过配置 OPACR0 寄存器的 OPA_BIAS 位选择运放偏置电流。运放输出 OPO 所在端口同时也是 ADC 采样口，两者联动可实现 ADC 对运放输出电压进行采样。

16.5.2 CMP1

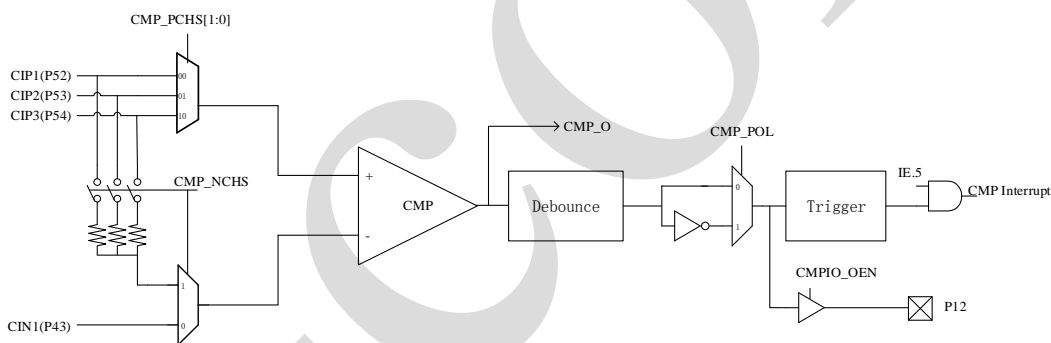


图 16.5.2 CMP1 功能框图

CMP1 的正端输入口可选择 3 个端口 (P52,P53,P54) 中的一个，负端输入口可选择端口 (P43) 或电阻桥接电路。通过 IO 口输出的比较器结果 CMPO 可配置为消抖或极性反转后的结果。但通过寄存器读取的 CMPO 则不包含消抖与极性反转功能。

16.5.3 CMP2

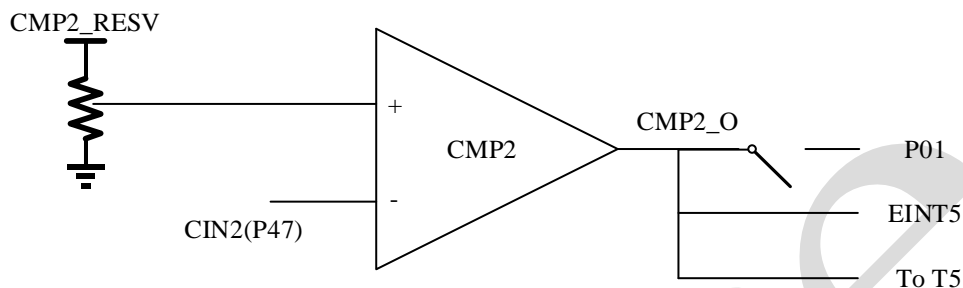


图 16.5.3 CMP2 功能框图

CMP2 的正端为内部电阻分压，负端可选 1 个外部端口（P47）。CMP2_O 可选择通过 IO 口（P01）输出，也可选择生成中断 EINT5，该中断可触发 PWM 硬件过流保护。



17 LVD

17.1 特性

低压检测（LVD）功能是为了监测供电电压，如果供电电压低于设定值时，LVDF 标志位将置 1。

- 支持 16 级低压检测点配置

17.2 寄存器列表

表 17.2.1 LVD 寄存器列表

名称	地址	描述	初值
LVICR	EBH	LVD 控制寄存器	00H

17.3 寄存器说明

表 17.3.1 LVICR 寄存器

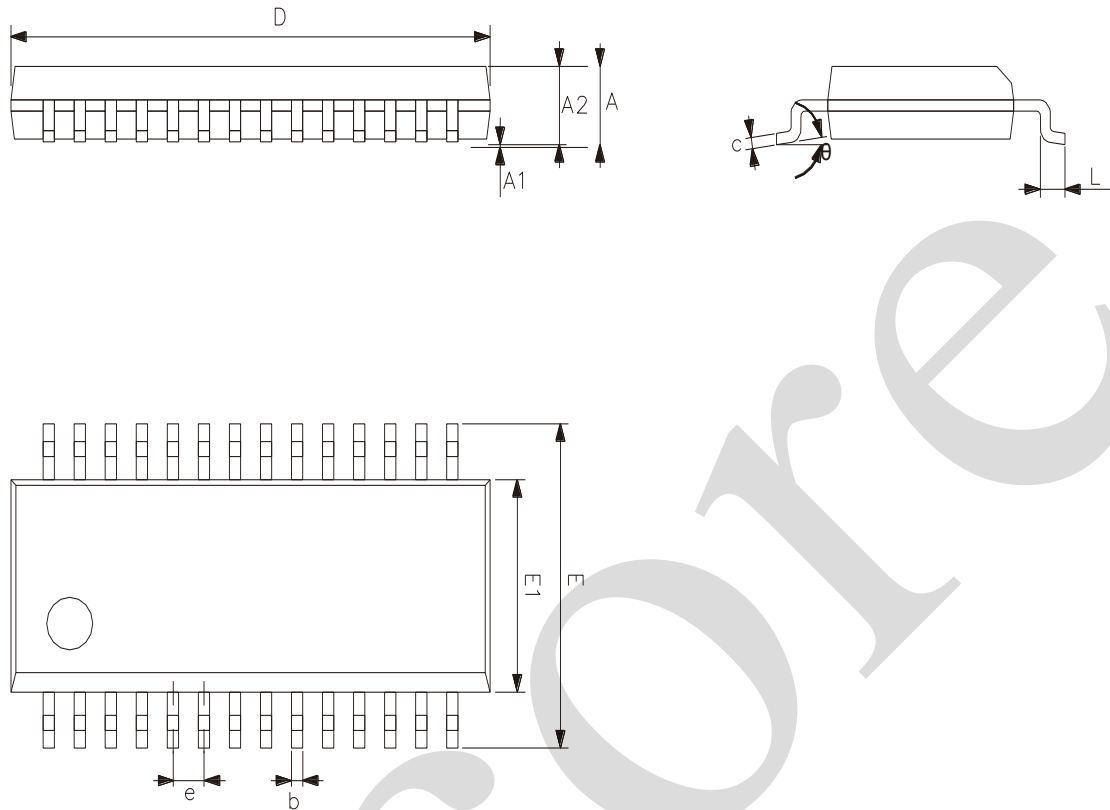
Bit	7	6	5	4	3	2	1	0
Name	LV DEN	-	-	LVDF	LV DSEL[3:0]			
R/W	R/W	-	-	R/W0	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	LV DEN	LVD 使能位 0: 除能 1: 使能
4	LVDF	LVD 状态标志位(硬件置 1, 软件写 0 清 0, 硬件置 1 优先级高于软件清 0) 0: 非低电压状态 1: 低电压状态
3-0	LV DSEL[3:0]	LVD 检测电压选择位 0000: 1.8V 0001: 2.0V 0010: 2.1V 0011: 2.2V 0100: 2.4V 0101: 2.5V 0110: 2.6V 0111: 2.7V 1000: 2.8V 1001: 3.0V 1010: 3.2V 1011: 3.4V 1100: 3.6V 1101: 3.8V 1110: 4.0V 1111: 4.2V



18 封装尺寸与外形图

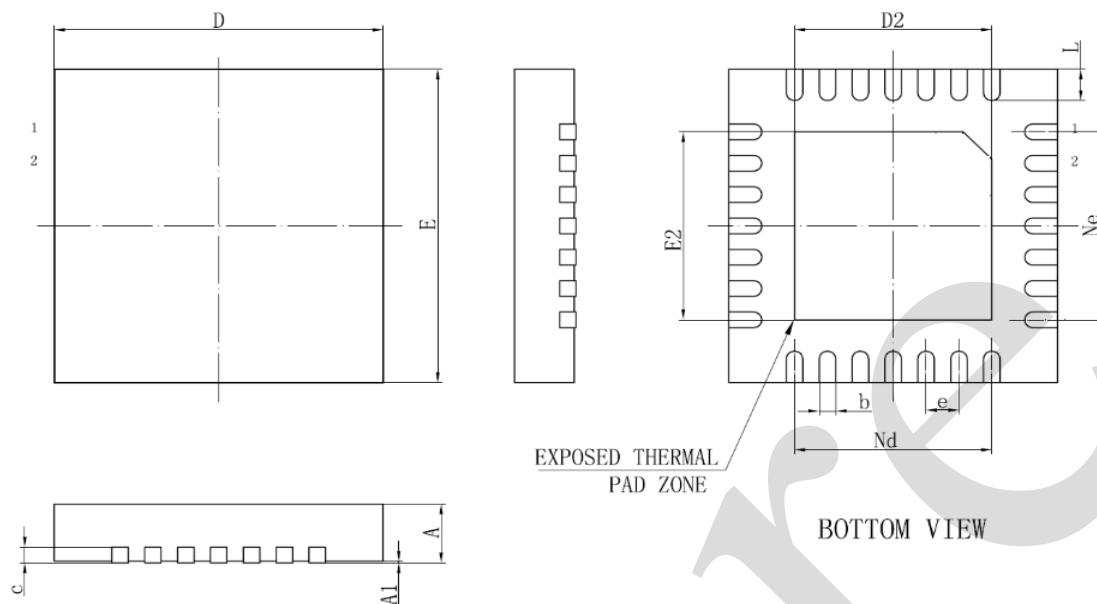
18.1 SSOP28 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters		
	Symbol	Min	Max
	A	—	1.75
	A1	0.02	0.25
	A2	1.30	1.60
	b	0.23	0.31
	c	0.19	0.25
	D	9.75	10.00
	E	5.80	6.45
	E1	3.75	4.00
	e	0.635	
	L	0.35	0.80
	θ	0°	8°



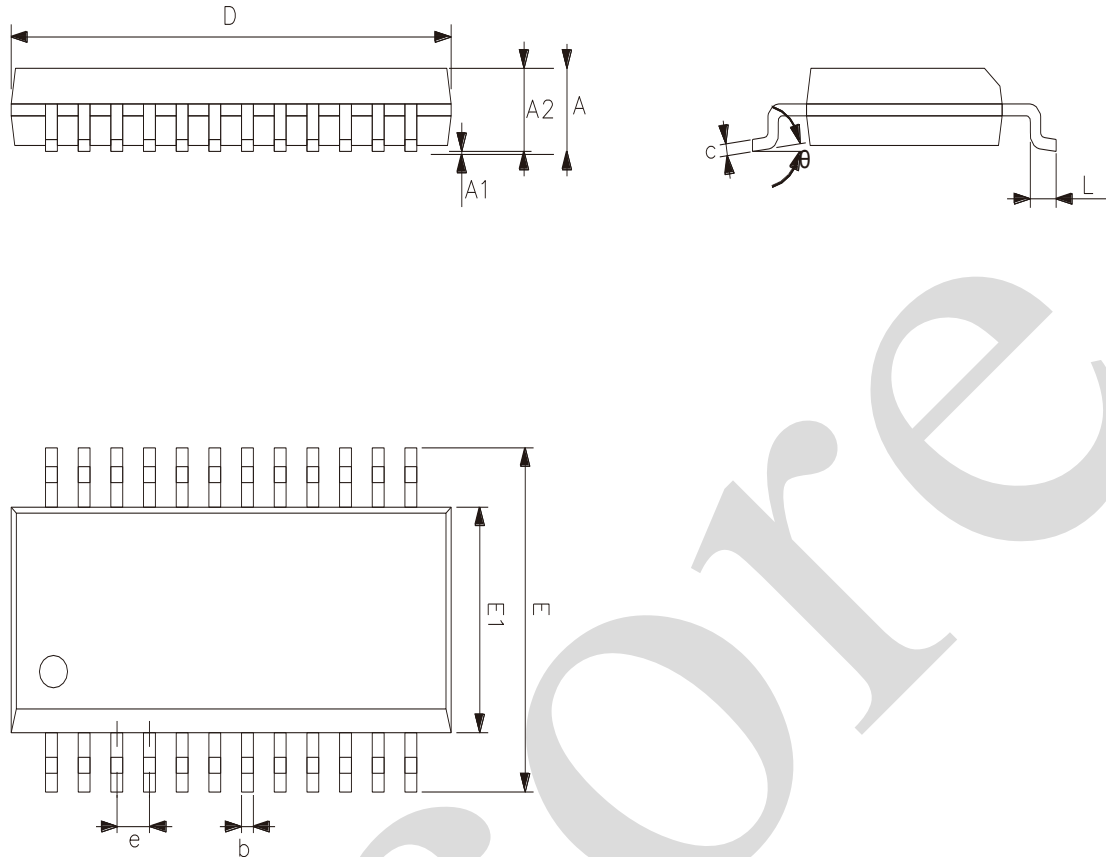
18.2 QFN28 外形图与封装尺寸



2026/02/C	Dimensions In Millimeters	
Symbol	Min.	Max.
A	0.70	0.80
A1	0	0.05
b	0.15	0.25
c	0.15	0.25
D	3.90	4.10
E	3.90	4.10
D2	2.30	2.90
E2	2.30	2.90
e	0.40	
Nd	2.40 REF	
Ne	2.40 REF	
L	0.30	0.45



18.3 SSOP24 外形图与封装尺寸



2023/12/A Symbol	Dimensions In Millimeters	
	Min	Max
A	1.35	1.75
A1	0.10	0.25
A2	1.30	1.55
b	0.23	0.47
c	0.19	0.26
D	8.45	8.85
E	5.80	6.20
E1	3.70	4.10
e	0.635	
L	0.40	0.80
θ	0°	8°



19 声明及注意事项

19.1 产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素									
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr (VI))	多溴联苯 (PB Bs)	多溴联苯醚 (PB DEs)	邻苯二甲酸二丁酯 (DBP)	邻苯二甲酸丁苯酯 (BBP)	邻苯二甲酸二(2-乙基己基)酯 (DEHP)	邻苯二甲酸二异丁酯 (DIBP)
引线框	○	○	○	○	○	○	○	○	○	○
塑封树脂	○	○	○	○	○	○	○	○	○	○
芯片	○	○	○	○	○	○	○	○	○	○
内引线	○	○	○	○	○	○	○	○	○	○
装片胶	○	○	○	○	○	○	○	○	○	○
说明	○: 表示该有毒有害物质或元素的含量在 SJ/T11363-2006 标准的检出限以下。 ×: 表示该有毒有害物质或元素的含量超出 SJ/T11363-2006 标准的限量要求。									

19.2 注意

在使用本产品之前建议仔细阅读本资料；

本资料仅供参考，本公司不作任何明示或暗示的保证，包括但不限于适用性、特殊应用或不侵犯第三方权利等。

本产品不适用于生命救援、生命维持或安全等关键设备，也不适用于因产品故障或失效可能导致人身伤害、死亡或严重财产或环境损害的应用。客户若针对此类应用应自行承担风险，本公司不负任何赔偿责任。

客户负责对使用本公司的应用进行所有必要的测试，以避免在应用或客户的第三方客户的应用中出现故障。本公司不承担这方面的任何责任。

本公司保留随时对本资料所发布信息进行更改或改进的权利，本资料中的信息如有变化，恕不另行通知，建议采购前咨询我司销售人员。

请从本公司的正规渠道获取资料，如果由本公司以外的来源提供，则本公司不对其内容负责。